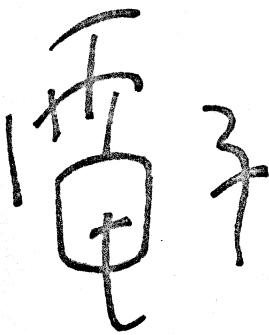


U N S

clas.dec.:

Departamento de
Electrotecnia

Cátedra de



PROYECTO

título

"Desarrollo de una Unidad de Con-

trol de una Minicomputadora"

autor

Néstor Anibal Gonzalez

tribunal examinador

presentado el

aprobado el

profesor

Ing. Jorge Santos

I N D I C E

1)	OBJETIVO GENERAL	pag 1
2)	INTRODUCCION	pag 2
3)	ALTERNATIVAS DE ARQUITECTURA	pag 7
4)	RESUMEN DEL PROYECTO	pag 8
5)	DISEÑO LOGICO	
5-1)	GENERADORES DE TRENES DE PULSOS	pag 9
5-2)	DECODIFICADORES DE INSTRUCCIONES	pag 16
5-3)	LOGICA DE COMANDO	pag 18
5-4)	REGISTRO CONTADOR DE PROGRAMA	pag 24
5-5)	PRESENTACION DE DIRECCION A MEMORIA	pag 25
5-6)	CANAL DE TRANSFERENCIA	pag 28
5-7)	DETENCION DE DESBORDE	pag 29
5-8)	PARADA DE LA MAQUINA	pag 30
6)	IMPLEMENTACION ELECTRONICA	pag 32
6-1)	REGISTROS P, C y D	pag 33
6-2)	DECODIFICADORES DE PULSOS	pag 34
6-3)	SUMADOR REGISTRO C	pag 35
6-4)	DECODIFICADORES DE INSTRUCCIONES	pag 35
6-5)	DECODIFICADORES DE MICROINSTRUCCIONES Y PERIFERICOS	pag 36
6-6)	PRESENTACION DE DIRECCION A MEMORIA	pag 37
6-7)	CANAL DE TRANSFERENCIA	pag 39
6-8)	DIAGRAMA DE DISPOSICION DE MODULOS	
6-8-1)	TARJETA I	pag 41
6-8-2)	TARJETA II	pag 42
6-8-3)	TARJETA III	pag 43
6-8-4)	TARJETA V	pag 44
6-9)	CONECTADORES	
6-9-1)	TARJETA I	pag 45
6-9-2)	TARJETA II	pag 52
6-9-3)	TARJETA III	pag 56
6-9-4)	TARJETA V	pag 62
	NOMENCLATURA	pag 68

PROYECTO: "Desarrollo de una unidad de control"

1) Objetivos Generales

Dada la creciente demanda de las computadoras, en el ámbito industrial comercial y de investigación científica, y haciéndose eco de las conclusiones de la "Mesa Redonda de Política Nacional de Computación" reunida en el mes de septiembre de 1973 y de la presente tendencia nacional que marca la necesidad de integración de la Universidad al medio al cual pertenece, el Area de Sistemas Digitales de la Universidad Nacional del Sur "Dr. Miguel López Francés", desarrolló subsistemas de una minicomputadora de propósito general, con el objeto de comenzar las investigaciones que posibiliten, en sucesivos pasos, el aporte de la universidad a la realización de un dispositivo de este tipo que pueda competir en el mercado con máquinas que en la actualidad se importan.-

Los subsistemas de minicomputadora desarrolladas hasta el momento están constituidos por una Unidad de Control, una Unidad Aritmética y una Unidad de Entrada y Salida, implementadas como proyecto de fin de carrera, por tres alumnos de Ing. Electricista; si bien los mismos formaron un equipo de trabajo, con el asesoramiento de un profesor del Area, cada proyecto en sí está perfectamente delimitado.-

Para su realización, se utilizaron circuitos integrados en pequeña y mediana escala de la serie TTL 7400, por ser los elementos con mayor posibilidad de fabricación en el país en un futuro más o menos cercano.-

El paso siguiente a lo realizado será la implantación en el conjunto, de una memoria de estado sólido que constituirá un nuevo proyecto, al igual que los distintos elementos de la implementación física y por programa (hardware y software) que conformarán el primer sistema, base para la realización de otros de mayor complejidad.-

2) INTRODUCCION

La minicomputadora implementada consta de un total de 5 registros que son: reg. Contador de Programa (C), reg. de Instrucción Presente (P), reg. Acumulador (A), reg. de Extensión del Acumulador (E), todos ellos de 16 bits y el reg. de Extensión de dirección (D) de 8 bits; además se tiene un bit accesorio al acumulador (bit de Transporte (T)) que se usa en la detección de desborde; como segundo operando se utilizará el registro de salida de memoria (M) que viene incluido en ella.-

El ciclo de instrucción se lleva a cabo en tres fases que son: búsqueda de instrucción, búsqueda de operando y ejecución de la operación. La primera de ellas consiste en la presentación del reg. C a memoria como dirección, con lo cual se obtiene la instrucción correspondiente, la cual es colocada en el reg. P; la instrucción puede ser de dos longitudes distintas 8 y 16 bits, dado que las primeras son instrucciones simples, no descomponibles en otras más elementales, las denominaremos Microinstrucciones (este concepto de microinstrucción no concuerda totalmente con el usual, dado que no existe la posibilidad de combinación de varias de ellas de manera de ser obedecidas en un solo ciclo de máquina). Dentro de las micro debemos distinguir las correspondientes a los periféricos que tienen distinta decodificación. Los tres formatos de instrucción resultantes son:

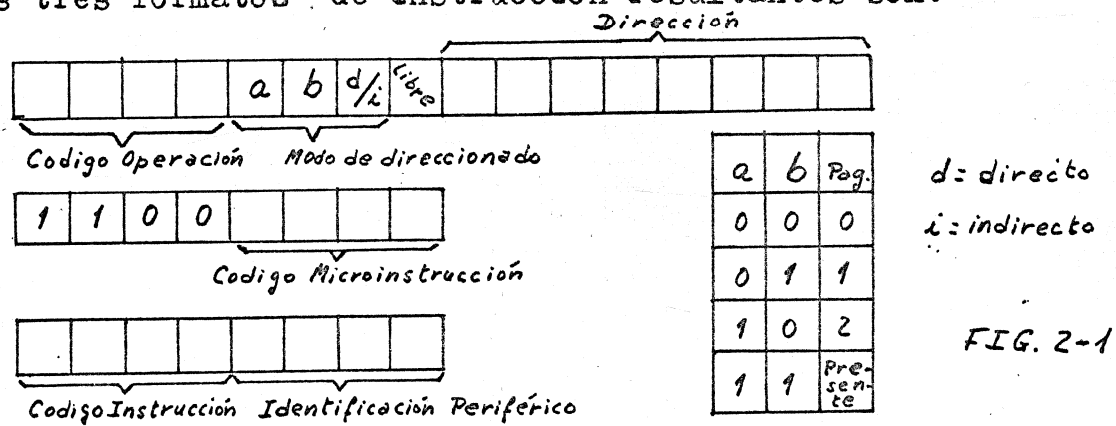


FIG. 2-1

Con el objeto de compactar la memoria, dado que siempre se sacan de la misma los 16 bits que componen la palabra, la utilización de instrucciones cortas (8bits), origina la posibilidad de colocación del byte 0 ó 1 de la palabra que contiene la instrucción corta en el byte 1 del reg.p; para determinar cual de los dos bytes será colocado en el más significativo de P, se usa el úl-

timo bit de C; si este bit es 0, el contenido de M se transfiere congruentemente a P; si la instrucción obtenida es de doble longitud, el contenido de C se incrementará en dos para obtener la próxima instrucción; si la instrucción obtenida es de longitud simple, el contenido de C se incrementará en 1; en el próximo ciclo se extraerá de memoria la misma palabra, pero ahora el byte menos significativo de la salida de memoria se transferirá al byte más significativo del registro P.

Una vez que la información está en el reg. P, se decodifica y en caso de ser una microinstrucción se pasa a la fase de operación; si en cambio se trata de una macroinstrucción, se pasa a la búsqueda del operando, la cual puede ser directa o indirecta; ambos tipos de direccionado pueden referirse a página cero, uno, dos o a página presente (asentada en el reg. D); esto queda determinado por los tres bits de modo de direccionado contenidos en la instrucción que ha sido decodificada.- En el caso de búsqueda indirecta, la dirección del operando es sacada de memoria por medio de la dirección contenida en la instrucción concatenada con el contenido del reg. D y es puesta en los 16 bits formados por el reg. D concatenado también con el byte 0 de P; ésta será entonces la dirección que se presentará nuevamente a memoria para la obtención del operando. Una vez realizada la búsqueda antes mencionada, se pasa a la fase de operación.-

Las instrucciones con que se cuenta son:

Código	Instrucción	Código Memotécnico
0000	$A \leftarrow M$	ca
0001	$A \leftarrow A \text{ intersectado } M$	ia
0010	$A \leftarrow A + M$	sa
0011	$A \leftarrow A - M$	ra
0100	Si A mayor o igual a cero: $C \leftarrow z$	sa
	Si M mayor o igual a cero: $C \leftarrow C + 2$	sm
0101	Si M menor que cero: $M \leftarrow M + 1$	
0110	$M \leftarrow A$	ta
0111	$M \leftarrow C$; $C \leftarrow z$, luego $C \leftarrow C + 2$	ss
1000	$C \leftarrow z$	si
1001	Multiplicación (no implementada)	ma
1010	División (no implementada)	da

1011	Libre	
1100	MICRO INSTRUCCIONES	mi
1101	Arrancar Periférico	ap
1110	A - Pe	te
1111	Pe - A	ts

Micro-instrucciones

1100	0000	Instrucción fantasma	if
	0001	$A \leftarrow \bar{A}$	ka
1100	0010	$A \leftarrow A + 1$	au
	0011	$A \leftarrow A - 1$	ru
	0100	Desplazar A a la Izquierda	di
	0101	Desplazar A a la Derecha	dd
	0110	Rotar A a la Izquierda	ri
	0111	Rotar A a la Derecha	rd
	1000	Limpiar Acumulador	la
	1001	Si bit menos signif.de E = 0, $C \leftarrow C + 2$	sb
	1010	Libre	
	1011	Libre	
	1100	Libre	
	1101	Libre	
	1110	Libre	
	1111	Parar Máquina	pm

Donde los símbolos tienen el siguiente significado:

A, Contenido del Acumulador

M, Contenido del Registro de Salida de Memoria

C, Contenido del Registro Contador de Programa

z, D = PO, Contenido de los Registros D y byte O del Registro P,
concatenados

Pe, Contenido registro de periférico

Los caminos para el flujo de datos e instrucciones consisten en un árbol Lagrangiano (Fig.2-1-1), constituido por todos los registros y periféricos que convergen al nodo central, al igual que una línea proveniente de las "Llaves de información" provistas en el tablero de control, que permitirán la carga directa a memoria, con el auxilio de otro juego de "Llaves de dirección" ubicadas en el mismo.-

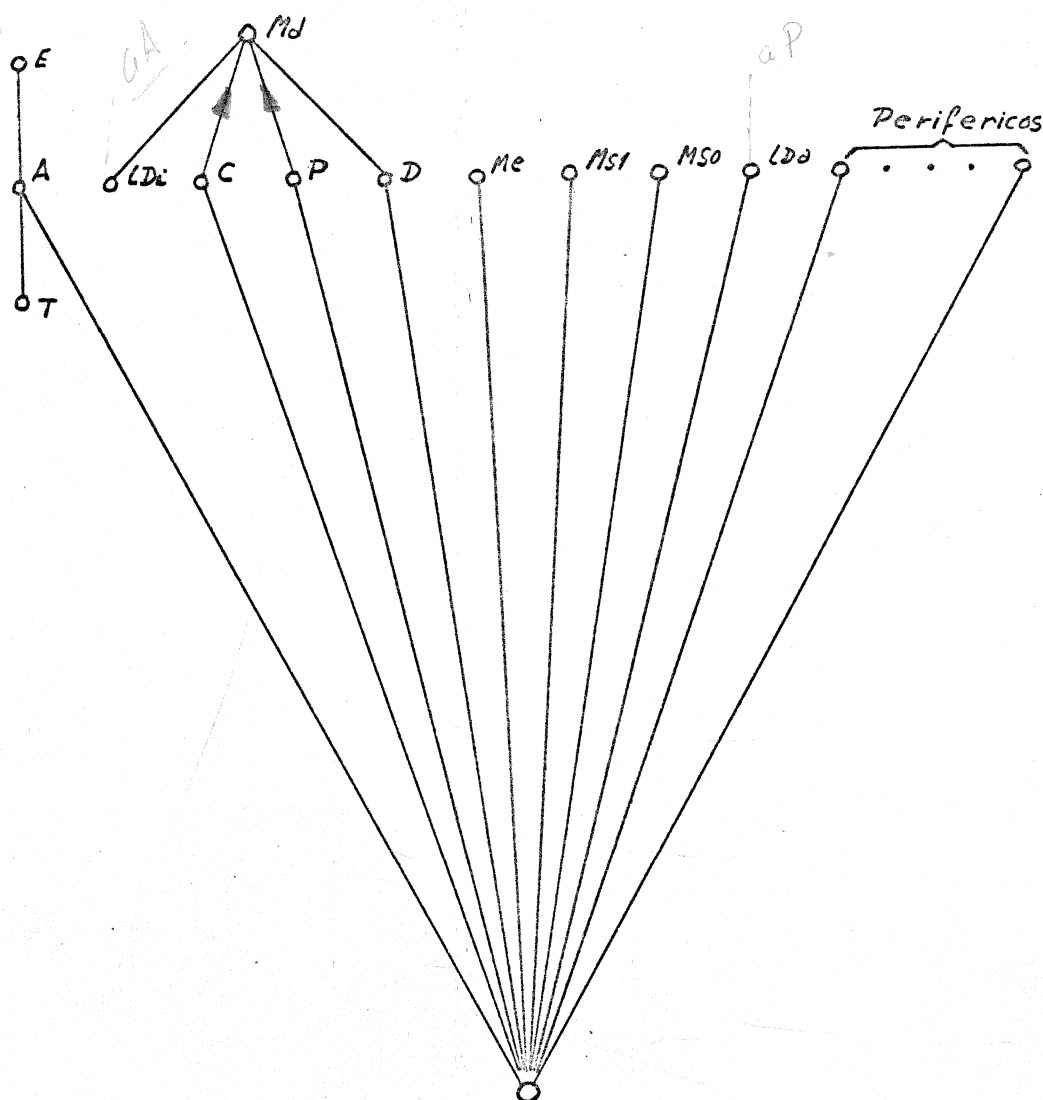


Fig. 2-1-1

Dado que por el momento no se dispone de memoria, las llaves de dirección han sido conectadas como segundo operando (salida de memoria) y las de datos ^(información) se usa n para cargar instrucciones en el registro P.-

El funcionamiento de la máquina puede hacerse por pulso, por compás o bien en forma continua, mediante la adecuada selección de llaves de control y el pulsador de arranque.-

Los símbolos tienen el mismo significado anterior, con los siguientes agregados:

Me, Registro de entrada a Memoria (16 bits)

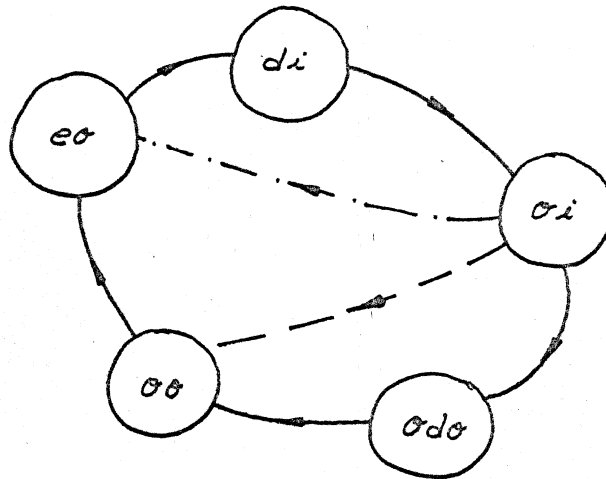
MSO, Registro de salida de Memoria (Byte 0)

MSI, Registro de salida de Memoria (Byte 1)

LDa, Llaves de consola (en operación normal se conectarán a Me.

En ausencia de memoria se utilizarán para transferir información a P).

El ciclo de obediencia es el siguiente:



di - obtención dirección instrucción

oi - obtención instrucción

odo - obtención dirección operando

oo - obtención operando

eo - ejecución operación

— — - direccionado directo

— . — - microinstrucción

—— - macroinstrucción, direccionado indirecto

3) Alternativa de Arquitectura

En un primer momento se pensó implementar una máquina con acceso a memoria por byte pero debido a que ciclo de obediencia de instrucciones se hacía muy largo, se optó por el acceso a dos bytes, con lo cual se logra un tiempo de ciclo de instrucción mucho menor.

Con respecto a las instrucciones, desde el comienzo se pensó en contar con dos longitudes distintas de ellas, idea que se llevó a cabo.

El formato inicial de las instrucciones largas, consistió en primera instancia en un código de operación de cuatro bits (12 a 15); dos bits de modo de direccionado, uno de ellos para indicar si se trataba de direccionado directo o indirecto y el otro para indicar la página a que se refería (0 o presente); el bit siguiente se pensó utilizar para identificar si el operando era largo o corto, alternativa que no se llevó a cabo dado que la lógica de transferencia para trabajar con dos longitudes de operando se complicaba demasiado; esta idea se dejó entonces para una posterior implementación; el bit restante no tuvo en principio una función bien definida y se pensó en varias posibles, entre ellas:

- a) para trabajar con doble acumulador
- b) agrandar el campo de direccionado
- c) ampliar el código de instrucciones

Finalmente se optó por utilizar en esta primera máquina el bit de identificación de operando para incrementar a cuatro el número de páginas de acceso indirecto. Con respecto al bit restante se dejó para posterior implementación de un procesador con doble acumulador.

Los operandos quedarán en definitiva de 16 bits, longitud que puede ser extendida por programación.

Estructura instruccin -

Código de instrucciones - Tipo M, P, F -

Diagramas de obedecimientos - { unico
uacno

Analisis instrucc por pulsos -

Diagrama de la usguine

①

Ejercicio #6 - Lorenzetti - Con las instrucc de la

mini B, escribir un programa en ensamblador
que tome los operandos contenidos en los decim

128 a 137 y los ubique en los decim

1024 a 1035. -

Desborde.

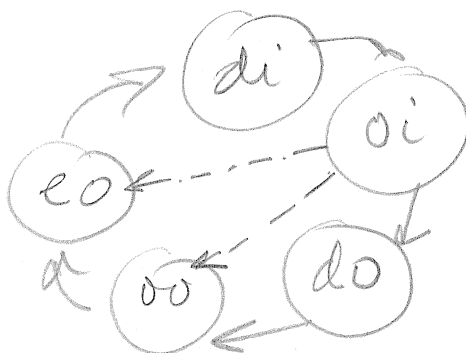
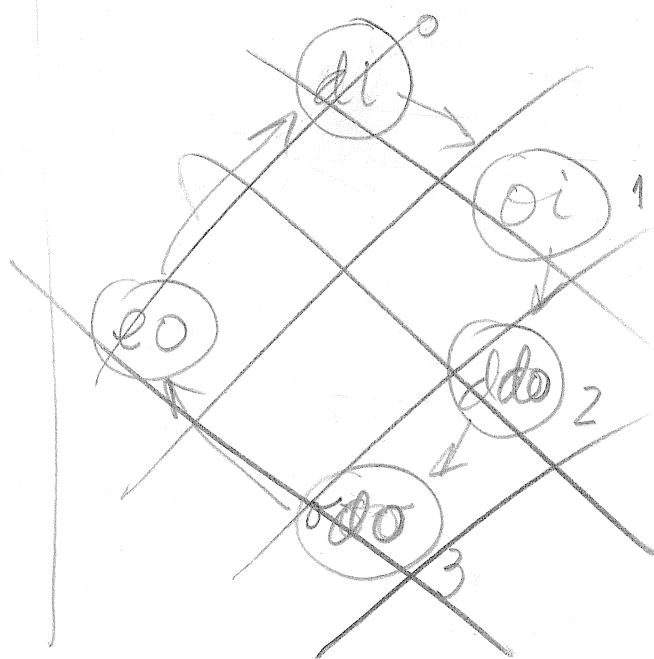
0 1

0 1

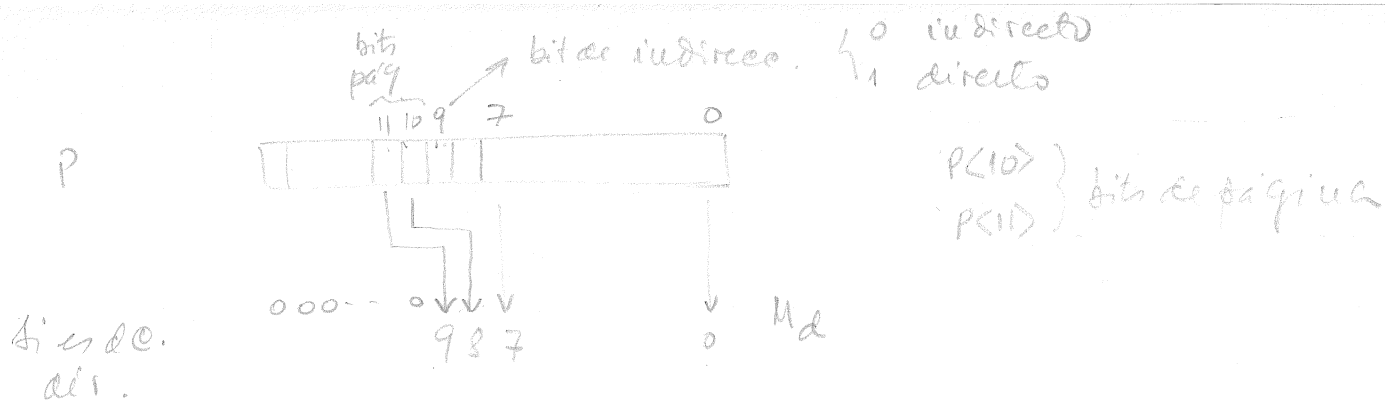
1 0

≠

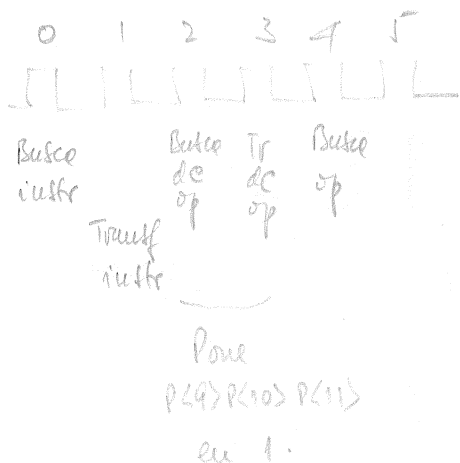
desborde!



2



Ind's.



Si $P(9) = 1$ all directes

$P(10) = 1, P(11) = 1$	$D \Rightarrow Md$
1	0
0	1
0	0

Pag 2
 Pag 1
 Pag 0

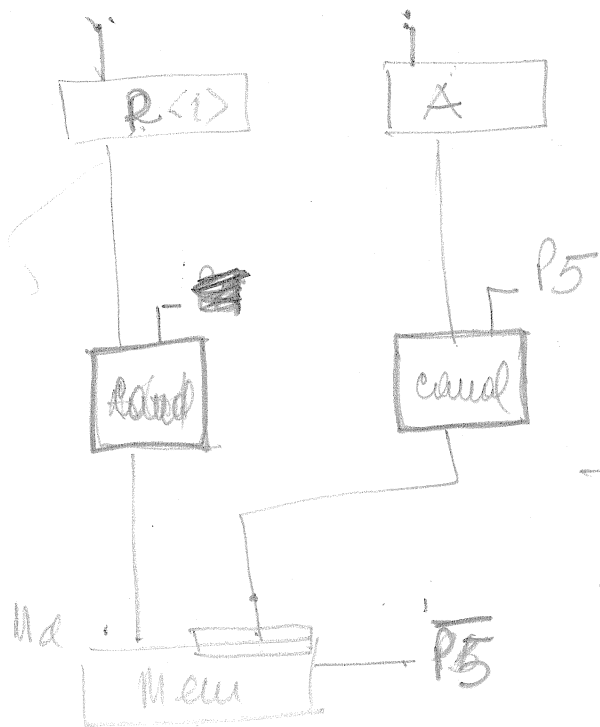
$$f_5 = \overline{P(10) P(11)}$$

$$(P(9) \overline{P(10) P(11)}) = f_3$$

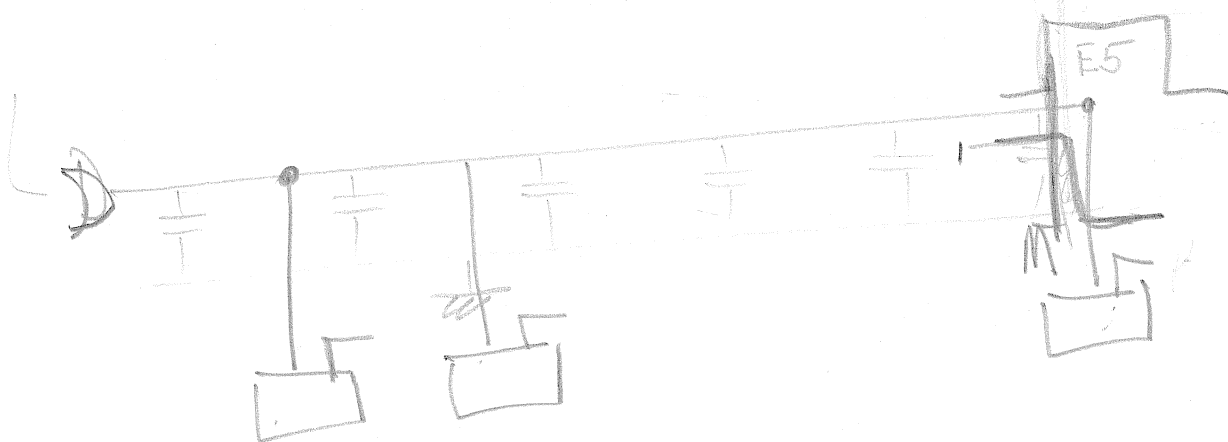
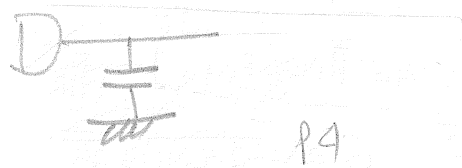
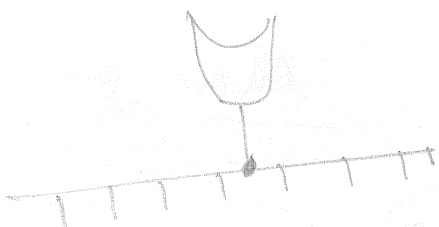
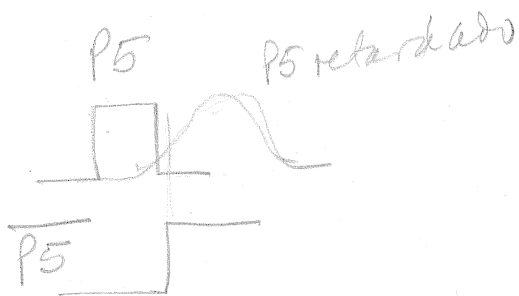
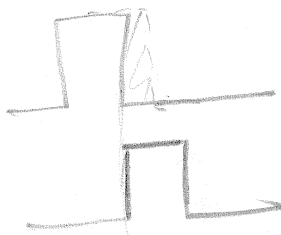
$$f_3 = P(9) \overline{P(10) P(11)} = \text{vare 1}$$

canals no han pag. present

Ahora present D



$$\underline{u \leftarrow A}$$



4) Resumen del proyecto

El presente trabajo consiste en el desarrollo de la unidad de control y el canal de transferencia de información de una minicomputadora.

La unidad de control consiste en un generador de compases de pulsos y un decodificador de estos últimos, que junto con los decodificadores de instrucciones y una lógica de relación adecuada forman los trenes de pulsos y lleva a cabo la distribución de los mismos para la realización de cada instrucción.

Estos trenes de pulsos son los que incrementan al registro C, presentan dirección e información a memoria, abren el canal de transferencia de información entre registros y comandan el banco de operaciones.

El canal de transferencia es único y se lo usa para mandar la información de registro a registro, de registro a memoria, de memoria a registro, de periférico a acumulador, de acumulador a periférico y de banco de operaciones a acumulador.

Además, para permitir la carga de memoria desde tablero, convergen al árbol un juego de llaves, que llamaremos de información.

Las distintas entradas al canal son habilitadas por la unidad de control salvo la transferencia de tablero a memoria, para la cual se cuenta con un pulsador que genera un pulso asincrónico que permite la presentación de los datos e instrucciones a memoria y da la señal de escritura correspondiente.

Notación

P0 Pulso 0

P<0> Bito al Reg P

P(0) Byte 0 al Reg P

Pe0 Periférico 0

0 1 2 3 4 5 6 7 8

0 $Me \leftarrow C ; C \leftarrow C+1$

1 $P \leftarrow Ms \quad \begin{cases} \neg P(9) \rightarrow \text{saltar a } P2 \\ P(9) \rightarrow \checkmark \quad P4 \end{cases}$

2 $Me \left\{ \begin{array}{ll} \leftarrow 00 \cdot 00 \square P(0) & \neg P(10) \neg P(11) \\ \leftarrow 00 \cdot 01 \square P(0) & \neg P(10) P(11) \\ \leftarrow 00 \cdot 10 \square P(0) & P(10) \neg P(11) \\ \leftarrow D \square P(0) & P(10) P(11) \end{array} \right.$

3 $D \square P(0) \leftarrow Ms \quad P(9, 10, 11) \leftarrow 1$

4 $Me \leftarrow D \square P(0) ; C \leftarrow C+1$

Activado) Δ 0 1
 { Subir
 0 1 2 3 4 $\checkmark$

Macro

Micro

Ejemplo 1

5) Diseño Lógico

5-1) Generador de trenes de pulso

Se trata de un contador programado; dicha programación depende de la instrucción que se lleve a cabo. Por este hecho conviene, antes de hablar del diseño lógico del generador de trenes de pulsos, hacer un balance de los pulsos necesarios para cada instrucción y de la función de cada uno de ellos; esto será usado más adelante para explicar la lógica del sistema de selección y posterior destino de tales pulsos.

Todas las instrucciones tienen dos primeros pulsos comunes, que corresponden a la búsqueda de la instrucción; éstos son:

P 0 $\longrightarrow$ presenta C como dirección a memoria para sacar la instrucción correspondiente e incrementa el registro C en 1.

P 1 $\longrightarrow$ pone en P lo que se sacó de memoria con P 0.

Las macroinstrucciones pasan luego a la fase de búsqueda del operando que puede ser directa o indirecta, en este último caso tendremos:

P 2 $\longrightarrow$ presenta el byte 0 de P concatenado con la indicación de la página, que puede ser: cero, uno, dos o presente, según lo indiquen los bits de modo de direccionado de la instrucción.

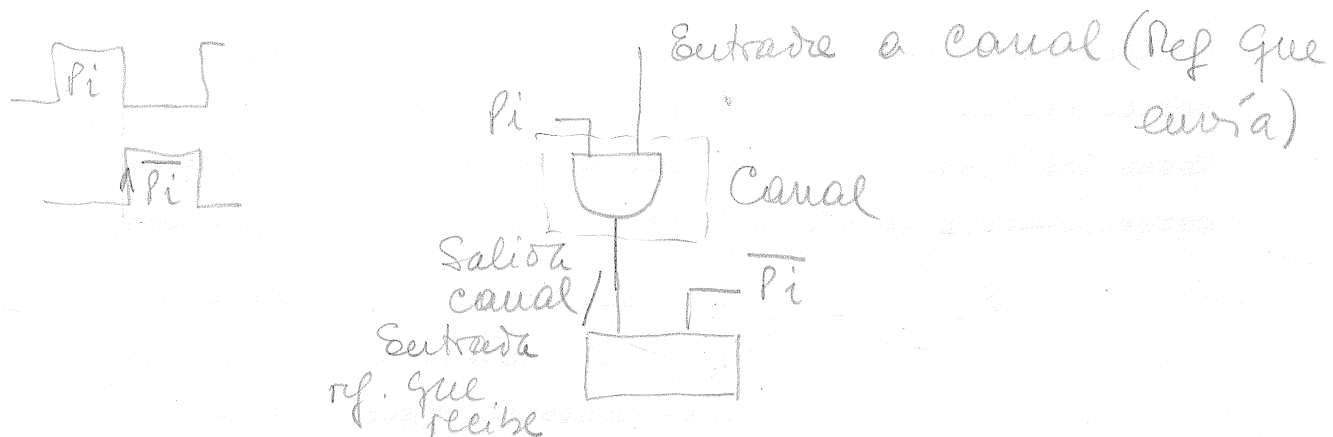
P 3 $\longrightarrow$ pone en el byte 0 de P concatenado con D la dirección sacada de memoria.

Luego de estos dos pulsos aparece al igual que en el caso de direccionado directo:

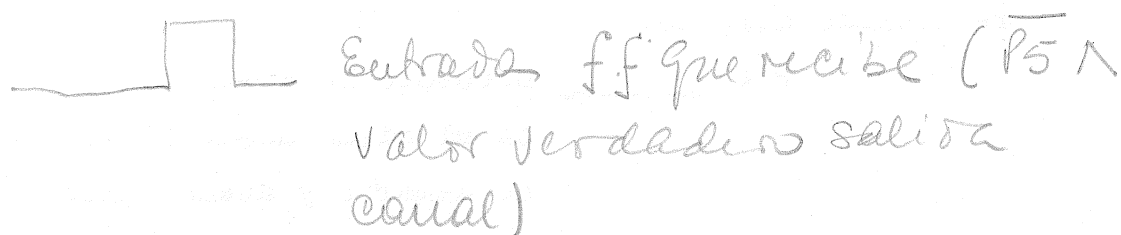
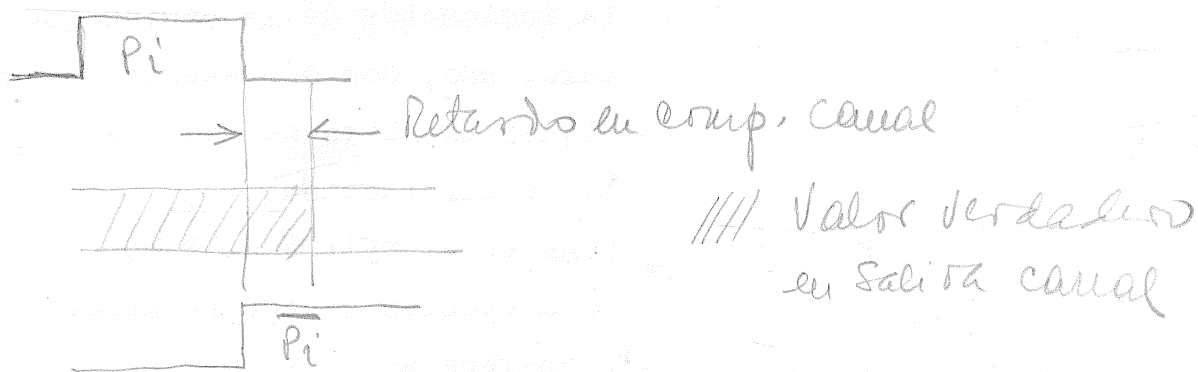
P 4 $\longrightarrow$ presenta la dirección del operando y saca al mismo hasta el registro de salida de memoria y además incrementa en 1 el registro C.

Los pulsos anteriores son comunes a grupos de instrucciones; ahora veamos los que corresponden a la fase de operación de cada una de ellas en particular.

En toda transferencia, el canal se habilita con P_i y se transfiere efectivamente con $\overline{P_i}$.



Debido al retardo en las compuestas de canal $\overline{P_i}$ llega como Delay del Ref. que recibe antes que desaparece la info en la salida del canal



Dado que hay conjunto de instrucciones que poseen igual cantidad de pulsos y en algunas de ellas dichos pulsos realizan la misma función se las ha dividido en grupos: esto facilitará la posterior comprensión del funcionamiento del generador de trenes de pulsos.

<u>Grupo</u>	<u>Instrucción</u>	<u>Pulso</u>	<u>Función</u>
I	Ca	P5	abre el canal al registro M
		<u>P5</u>	actúa como reloj de A
	ia	P5	habilita el control de compuerta que intersecta A con M
II	sa	<u>P5</u>	actúa como reloj de A
		P5-8 (pulso generado para las operaciones de suma y resta)	habilita las entradas al sumador y la salida de éste al árbol
		<u>P8</u>	actúa como reloj de A
II	ra	P5-8	habilita los controles de resta de la unidad aritmética y la salida del sumador al árbol.
I	sa	<u>P8</u>	actúa como reloj de A
		P5	si A es $\leq$ que 0 pasa a instrucción siguiente.
			Si A es $\geq$ o $=$ que 0 habilita z al canal.
III	sm ($M \geq 0$)	<u>P5</u>	si A $\geq$ 0 actúa como reloj de C
		P5	salta a P7
		P7 y P8	habilitan al árbol la compuerta de salida del banco sumador de C.
II	sm ($M < 0$)	<u>P7 y P8</u>	actúan como reloj de C.
		P5-8	habilita el control de sumar 1 a M en el sumador y la salida del mismo al canal.
		<u>P8</u>	actúa como pulso de escritura en memoria.

Se ejecutan en P5

P5 a P8 Gran pulso

Saltea P5 y P6

7le transfere 2

op=0 ca de directo 0 1 4 5
indir 0 1 2 3 4 5

1 ca }
6 ta } id ca (pueden ser dir o indir. se ejecutan
8 si } siempre en P5)

4 sa { $A \geq 0 \rightarrow C \leftarrow Z$ si ca
 $\neg A \geq 0$, no hace nada

12.0 if 0 1 5 no puede haber condicionals
12.1 ba indir. se ejecutan en
12.4 di P5
12.5 dd
12.6 ri
12.7 rd
12.8 la
12.10 pd
12.11 sd
12.15 pm

13 ap
14 te
15 ts

2 aa } dir 0 1 4 5 6 7 8 pueden ser dir
3 ra } indir 0 1 2 3 4 5 6 7 8 o indir. se
ejecutan en P5 a P8

12.2 au } 0 1 5 6 7 8 solo dir - Ejecut P5-P8
12.3 ru }

12.9 sb { $\neg E(15) \rightarrow C \leftarrow C+2$ 0 1 5 7 8 En P7 $C \leftarrow C+1$
 $E(15)$ 0 1 5 P8 $C \leftarrow C+1$
7 en P5 no hace nada

7 ss { dir 0 1 4 5 6 7 8 En P5 $M[2] \leftarrow C$
indir 0 1 2 3 4 5 6 7 8 P6 $C \leftarrow Z$
P7 $C \leftarrow C+1$
P8 $C \leftarrow C+1$

Usa todos
los pulsos

I	ta	P ₅	abre A al canal
		$\overline{P_5}$	actúa como pulso de escritura en memoria.
IV	ss	P ₅	abre C al canal
		$\overline{P_5}$	actúa como pulso de escritura en memoria.
		P ₆	habilita z (DOP) al árbol.
		$\overline{P_6}$	actúa como reloj de C.
		P ₇ y P ₈	abren la compuerta de salida del banco sumador de C al árbol.
		$\overline{P_7}$ y $\overline{P_8}$	actúan como reloj de C.
I	si	P ₅	habilita z al canal
		$\overline{P_5}$	actúa como reloj de C
I	ap	P ₅	arranca periférico
I	te	P ₅	habilita el periférico al canal.
		$\overline{P_5}$	actúa como reloj de A
I	ts	P ₅	habilita A al canal
		$\overline{P_5}$	actúa como reloj en los registros de los periféricos.
I	if	P ₅	pasa a próxima instrucción
I	ka	P ₅	habilita $\overline{A}$ al canal.
		$\overline{P_5}$	actúa como reloj de A.
II	au	P ₅ - 8	habilita los controles de suma de 1 a A del banco sumador y la salida de éste al árbol.
		$\overline{P_8}$	actúa como reloj de A.
II	rn	P ₅ -8	habilita los controles de resta 1 a A del banco sumador y la salida de éste al árbol.
		$\overline{P_8}$	actúa como reloj de A.
I	di	P ₅	habilita las compuertas de desplazamiento a izquierda al canal.
		$\overline{P_5}$	actúa como reloj de A y E.
I	dd	P ₅	habilita las compuertas de desplazamiento a derecha al canal.

Z (DOP)
ya sea directo
o indirecto

5 sun $M[2] \geq 0 \rightarrow M[2] \leftarrow M[2] - 2$

dir 0 1 4 5 6 7 8
 indir 0 1 4 5 6 7 8

$\neg M[2] \rightarrow c \leftarrow c + 2$

dir 0 1 4 5 7 8
 indir 0 1 2 3 4 5 7 8

op		Dion.		Eice			Loud		Tipo		
		dir indir	dir	P5	P5 & P8	P5, 7, 8	hi	hi	u	f	p
0	ca	x		x				x	x		
1	ra	x		x				x		x	
2	aa	x			x			x		x	
3	ra	x			x			x			
4	sa	x		x				x			x
5 si	sun	x			x			x			x
5 no		x				x		x			
6	ta	x			x			x	x		x
7	ss	x				x		x			
8	si	x		x				x			x
12.0	if		x	x			x			x	
1	ha		x	x			x			x	
2	au		x		x		x			x	
3	su		x		x		x			x	
4	di		x	x			x			x	
5	ad		x	x			x			x	
6	ri		x	x			x			x	
7	rd		x	x			x			x	
8	lu		x	x			x				x
9 si	sb		x	x			x				x
9 no			x	x			x				x
10	pd		x	x			x				x
11	sd		x	x			x				x
15	pu		x	x			x				x
13	ap		x	x			x		x		
14	te		x	x			x		x		
15	ts		x	x			x				
	25	9	16	18	6	2	16	9	4	11	10

op are

Salidas de $S(i)$ funcionando normalmente
y libremente (sin bloques de desborde) —

Para 14 de $S(i)$

$S(i)$	i	
	par	impar
0	1	1
1	1	1

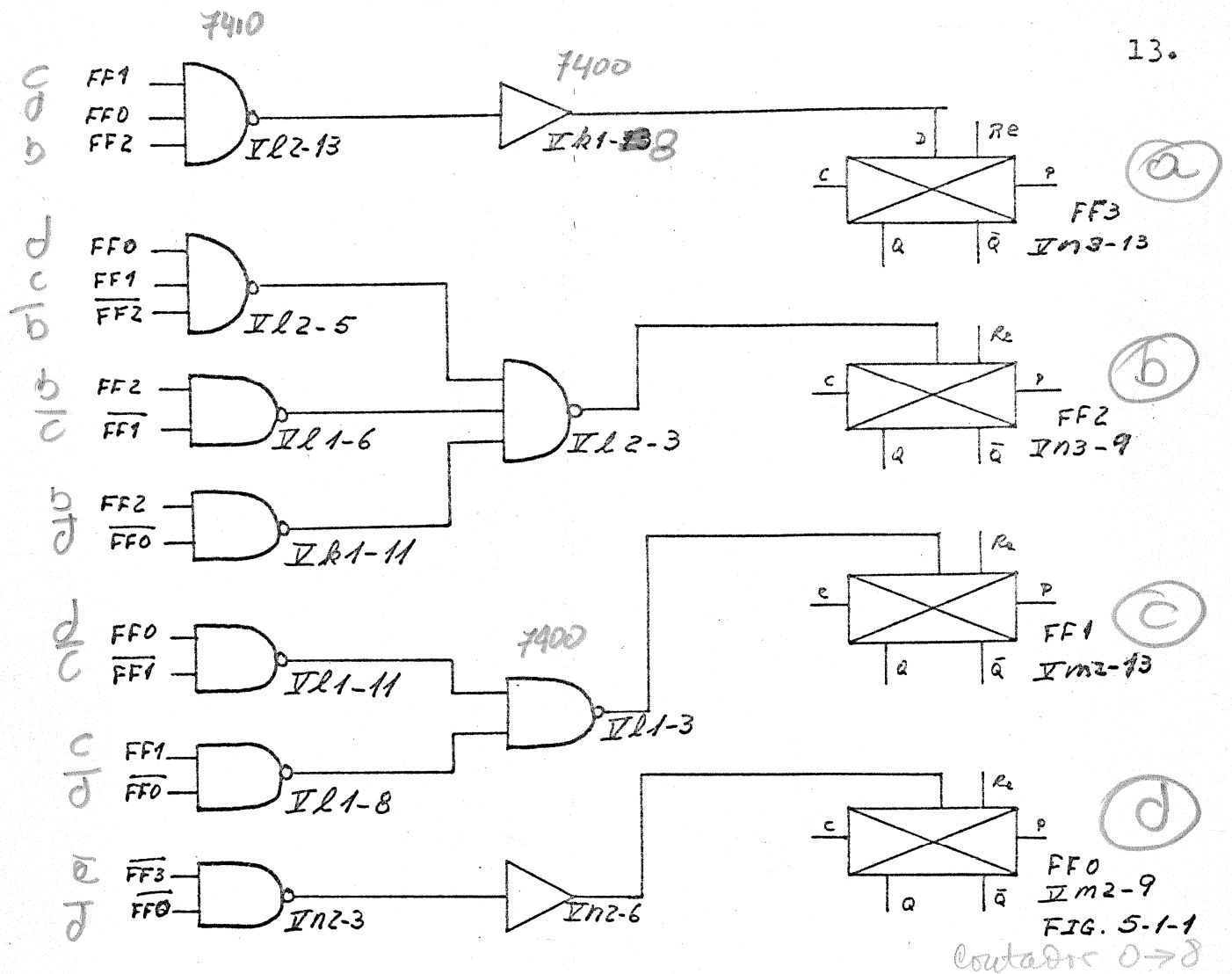
I	ri	$\overline{P_5}$	actúa como reloj de A y E.
		P_5	habilita las compuertas de rotación izquierda al árbol
I	rd	$\overline{P_5}$	actua como reloj de A.
		P_5	habilita las compuertas de rotación derecha al canal.
		$\overline{P_5}$	actua como reloj de A.
I	la	$\overline{P_5}$	limpia el acumulador.
I	sb (bit menos sig. de $E \neq 0$)	P_5	pasa a instrucción siguiente.
III	sb (bit menos sig. de $E = 0$)	P_5	pasa a P_7
		P_7 y P_8	habilitan las compuertas del banco sumador de C al canal.
I	pm	P_7 y P_8	actua como reloj de C.
		P_5	vuelca el flip-flop de parar máquina.

Después de ver el balance de los pulsos necesarios para cada instrucción, observamos que los pulsos P_0 y P_1 deben salir siempre pero no así los demás; por lo tanto, el generador de trenes de pulsos, que está constituido como base por un contador de 0 a 3 diseñado por el método de Veitch-Phister y cuyo diagrama lógico es el de la figura (5-1-1), debe ser preestablecido con el objeto de saltar pulsos innecesarios para algunas instrucciones; así pues, en el caso de las microinstrucciones, dado que no trabajan con operandos, se saltean los pulsos P_2 , P_3 , P_4 , colocándose el contador en el estado 5; que permite la salida de P_5 ; para ello se fuerzan los estados de los flip-flops del contador mencionado a la posición deseada; esta operación se realiza por las entradas de puesta en 0 (Clear) y Puesta en 1 (Preset) de los flip-flops utilizados (TIPO D).

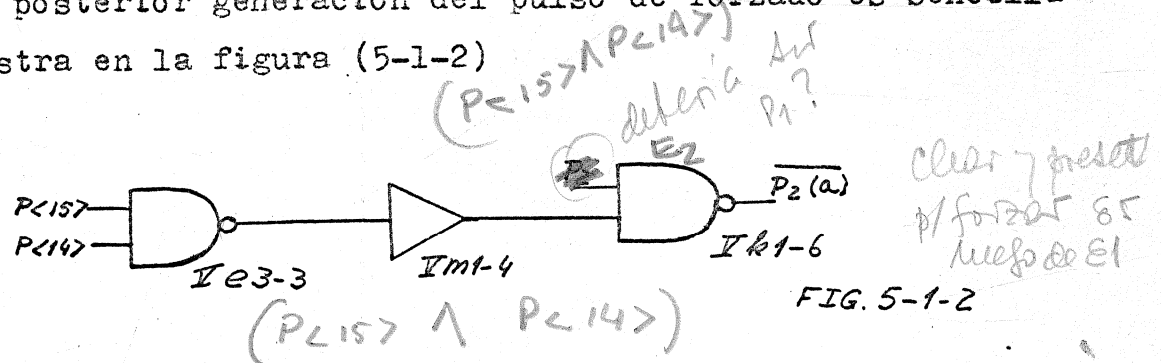
P2(a) identifica la intersección de P2
con la función $[P<15> \cdot P<14>]$

P2(b) en cambio identifica la función
 $P2 \cdot P<9> \cdot \underbrace{[P<14> + P<15>]}$

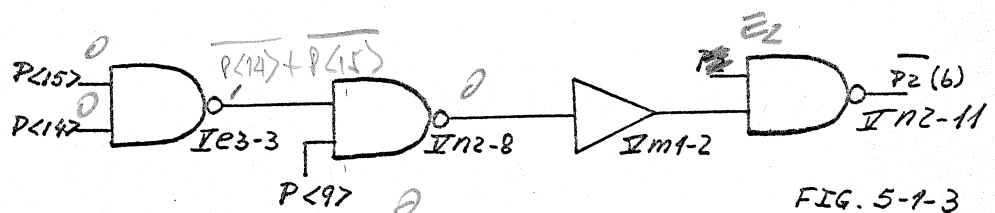
identifica instr con
op 0 a 10 y unico -



Dado que los códigos asignados a las microinstrucciones tienen en su parte más significativa dos unos, la decodificación de los mismos y posterior generación del pulso de forzado es sencilla y se muestra en la figura (5-1-2)



En el caso de las macroinstrucciones, cuando se trata de direccionado directo* se deben saltar los pulsos P_2 y P_3 , con lo cual el contador debe ser forzado al estado 4 que permite la salida de P_4 ; para ello se utiliza una lógica similar a la anterior (figura 5-1-3)

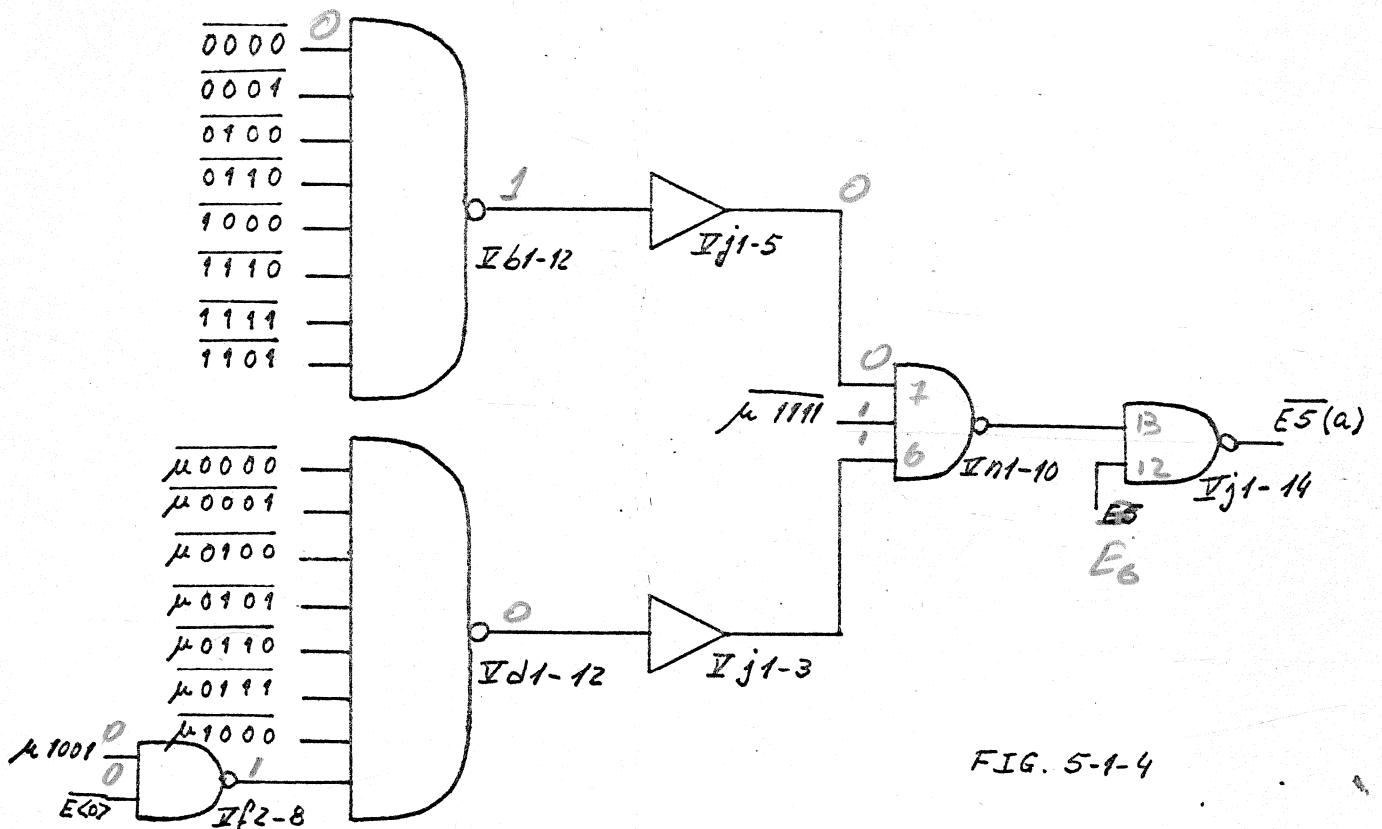


Pasando a la fase de operación de las instrucciones, vemos que las de tipo I la computan en P_5 ; por lo tanto el contador debe

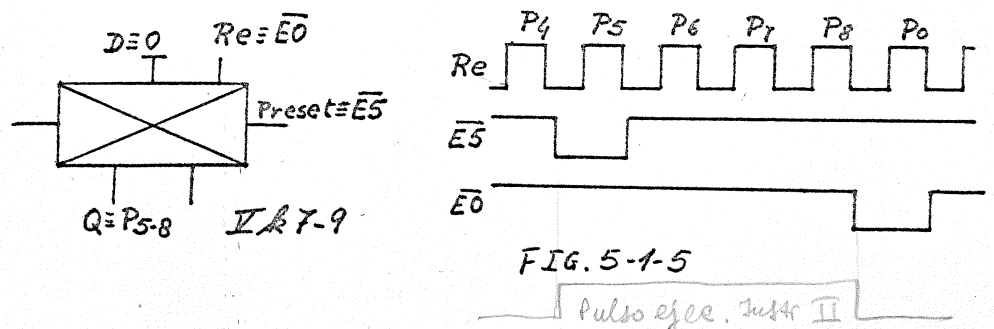
* $\rightarrow P<9>=1$

volver a 0 para comenzar un nuevo ciclo de trabajo para realizar la próxima instrucción; para ello se diseñó la siguiente lógica que genera una señal, que fuerza el estado del contador a 0, cualquiera sea la instrucción, siempre que pertenezca al grupo I. (fig.5-1-4).

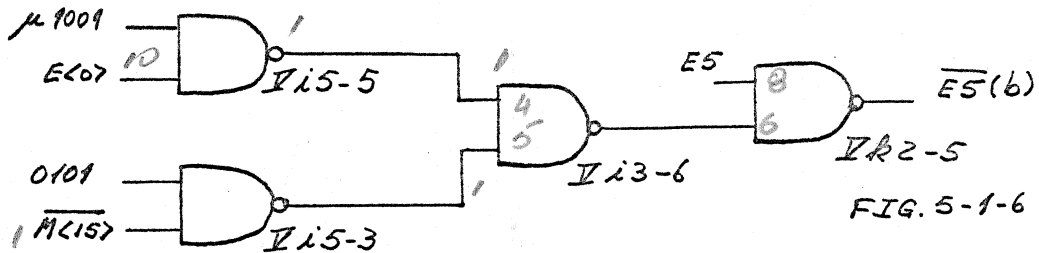
Las entradas a la compuerta superior representan la intersección complementada de los bits 15 a 12 del registro P; las entradas a la compuerta inferior representan la intersección complementada de los bits 15 a 12 cuando estos valen 1100, simbolizada μ , y de los bits 11 a 8 del mismo registro. Esta nomenclatura será usada en el resto del informe.



Las instrucciones de tipo II dejan correr el contador hasta el estado 8 para volver nuevamente a cero automáticamente debido al diseño del mismo. Para este tipo de instrucciones es necesaria la generación de un pulso ancho que se mantenga desde P_5 hasta P_8 , ambos incluidos; para ello se usa un flip-flop "D" que se vuelca con $\overline{E}_5$ y se vuelve a 0 con $\overline{E}_0$ como se muestra en la (figura 5-1-5)

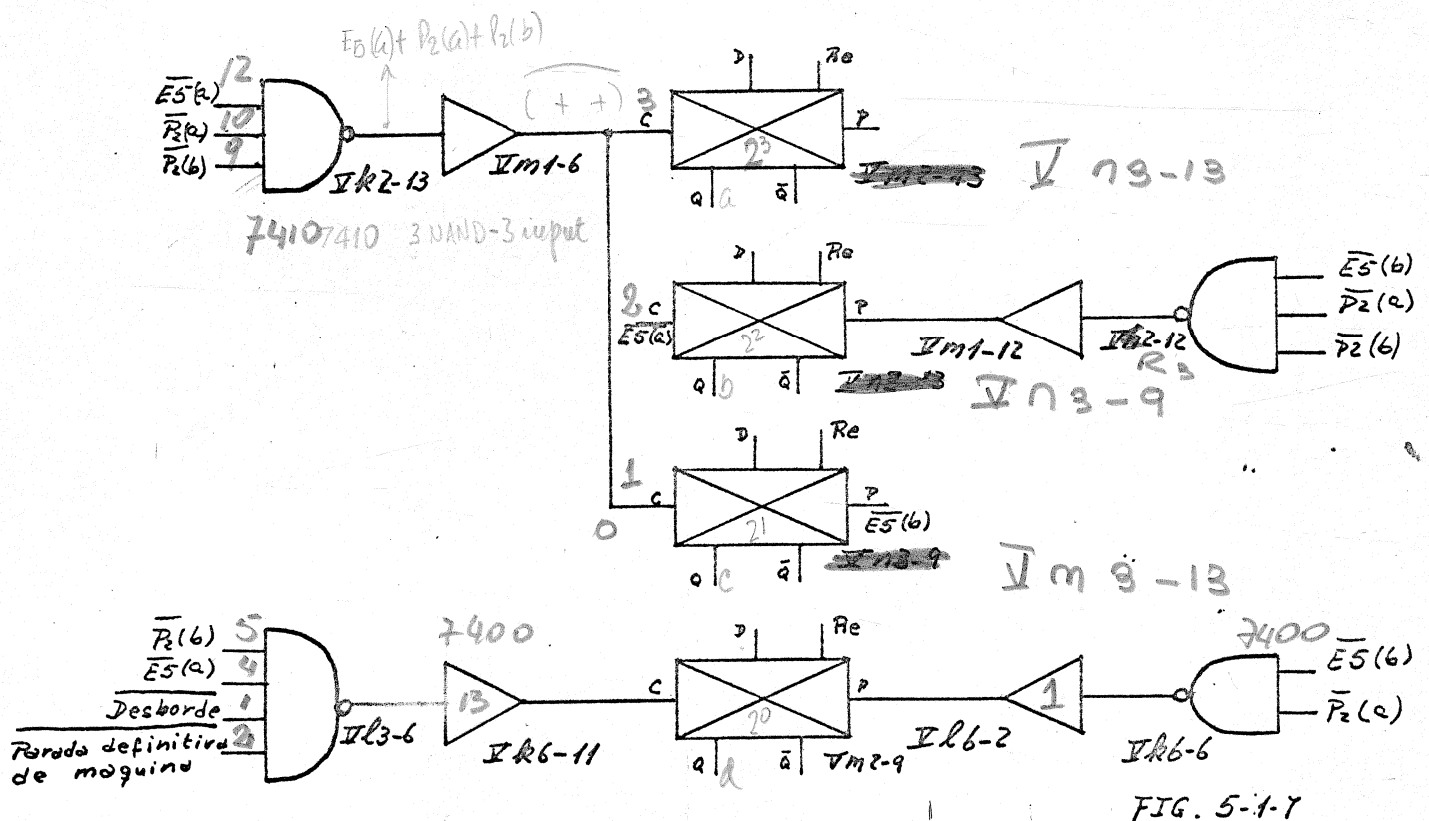


Para el caso de las instrucciones tipo III se debe saltar P_5 y P_6 y para ello se fuerza el estado 7 con la siguiente lógica (figura 5-1-6)



Las del grupo IV usan todos los pulsos; por lo tanto se deja que el contador vuelva a 0 después de aparecer P_8 .

Todas las señales vistas que tienen como fin forzar un estado son unidas por un arreglo lógico, (figura 5-1-7) y conectadas a los terminales de Clear o Preset de cada uno de los flip-flops según corresponda para el estado deseado.



Las señales de desborde y parada definitiva de máquina fueron colocadas para asegurar que el contador quede en estado 0 al pararse la máquina.

Para poder identificar cada uno de los pulsos del compás, los es

tados del contador son decodificados y cortados con reloj; para obtener pulsos exentos de ruidos; los flip-flops del contador cambian de estado con el reloj complementado.

Para la decodificación de cada estado y obtención del pulso correspondiente se utilizó la lógica ilustrada en el ejemplo siguiente (figura 5-1-8)

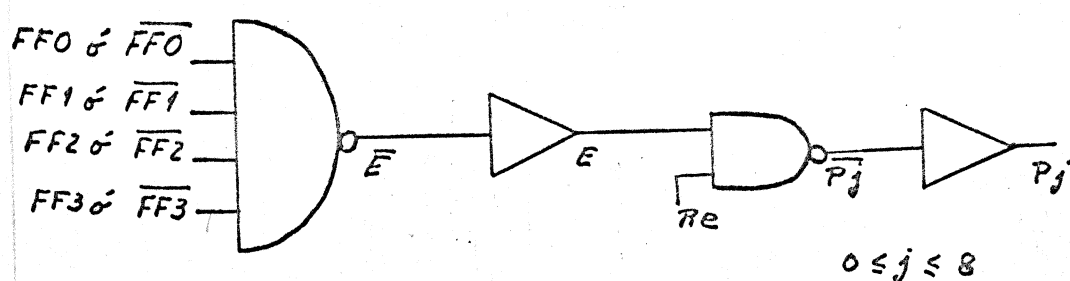


FIG.:
5-1-8

donde $\overline{FF0}$ denota la salida complementada del flip-flop 0, etc.

5-2) Decodificadores de Instrucciones

Como se puede ver en el punto 2 del presente informe, la máquina puede llevar a cabo un conjunto de 23 instrucciones, 9 de las cuales son con acceso a memoria y las restantes son microinstrucciones entre las cuales se encuentran 3 que corresponden a los periféricos que se decodifican de distinta manera que las demás micros.

El código de instrucción consiste en los 4 primeros bits de la palabra (figura 2-1), los cuales permiten 16 posibilidades de las cuales 9 son usadas para macroinstrucciones; 3 pertenecen a periféricos cada uno de los cuales es identificado por los 4 bits siguientes, posibilitando el manejo de 16 equipos de este tipo. Otro de los códigos (1100) nos dice que se trata de una microinstrucción (no se incluyen en estas las de periféricos) la cuál será identificada por un código que abarca los siguientes 4 bits:

Además de los utilizados quedan 3 posibles códigos que en la presente máquina no se usan, 2 de ellos están reservados para las instrucciones de multiplicación y división para una posterior implementación física (hardware) de estas operaciones; el restante no tiene destino prefijado.

Dentro de los códigos que identifican microinstrucciones se han dejado también 5 de los 16 posibles libres para una posterior implementación de una máquina más poderosa. Los 3 bits que siguen al código de las macroinstrucciones corresponden al modo de direccionado y serán tratados más adelante, junto con el segundo byte correspondiente a dirección.

La lógica de decodificación se llevó a cabo con compuertas de cuatro entradas (figura 5-2-1), para los primeros 4 bits y en el caso de los periféricos y microinstrucciones se lo hizo con compuertas del mismo tipo para los siguientes 4 bits, utilizándose las mismas para ambas con la diferencia que en las primeras se mandan las decodificaciones de instrucción separadas de las de periféricos (Figura 5-2-2) mientras que la que la que identifica micros se concatena con cada uno de los códigos particulares (figura 5-2-3).

Las compuertas de cuatro entradas usando las salidas estado y complemento de los flip-flops del registro P se dispusieron en un arreglo tal que cubran todas las posibilidades.

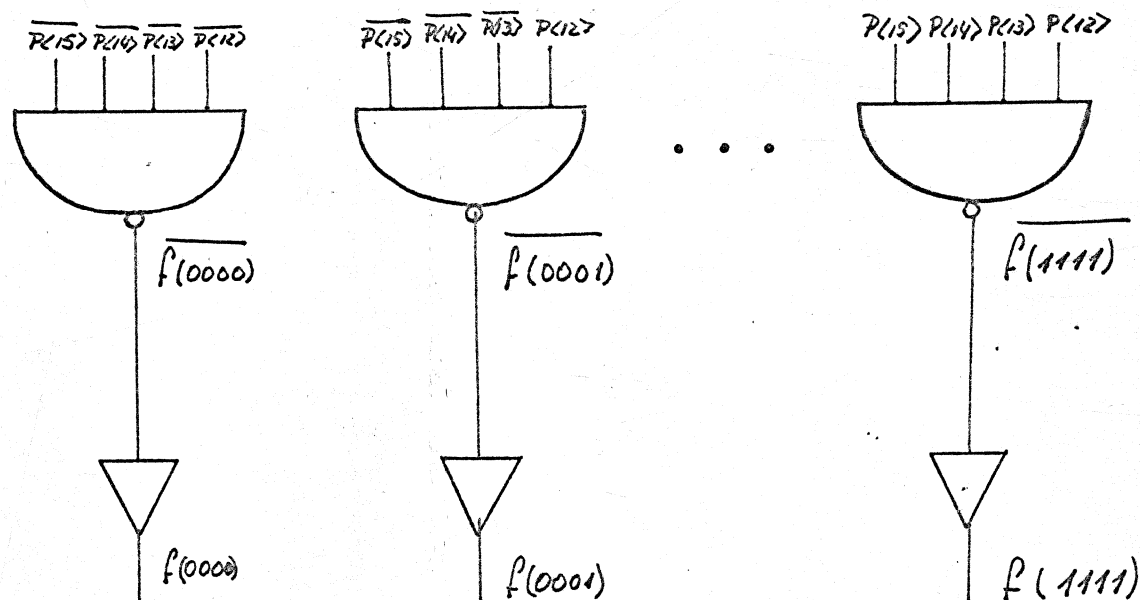
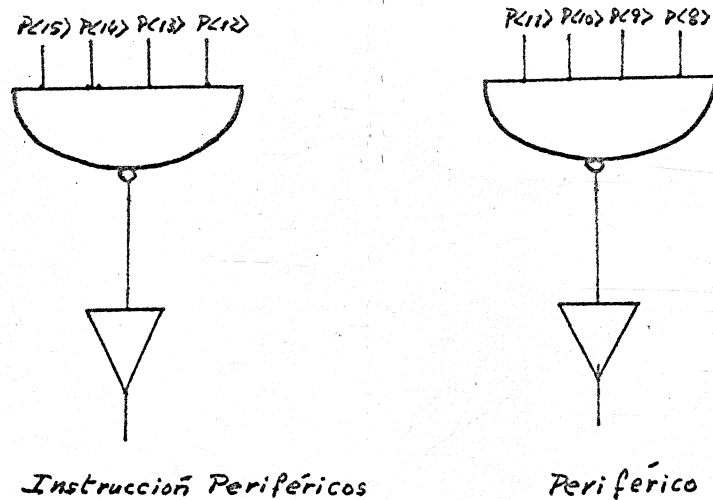
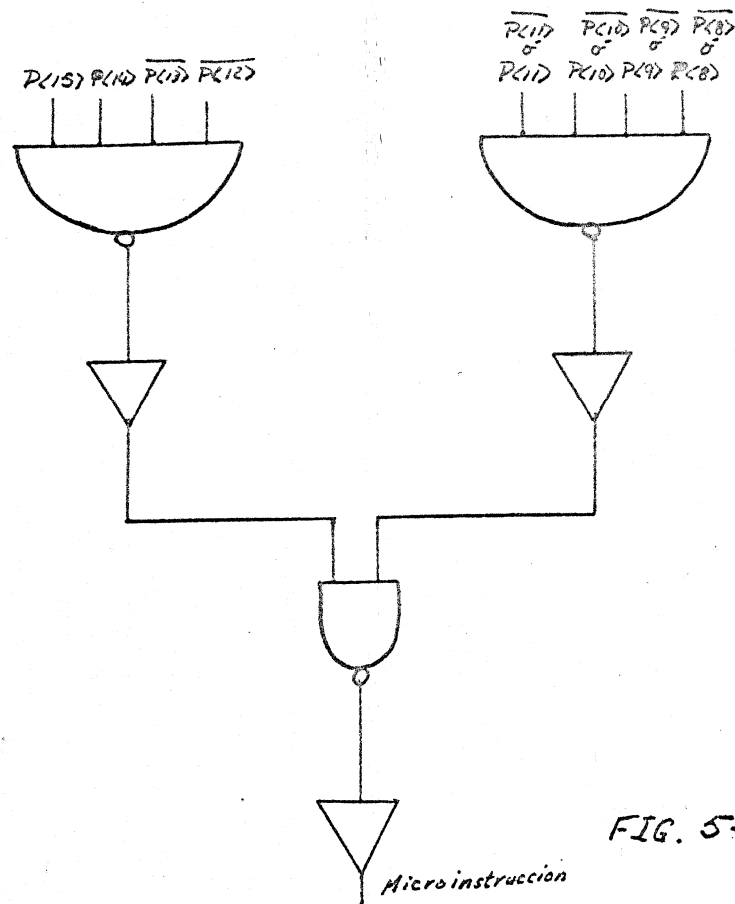


FIG. 5-2-1

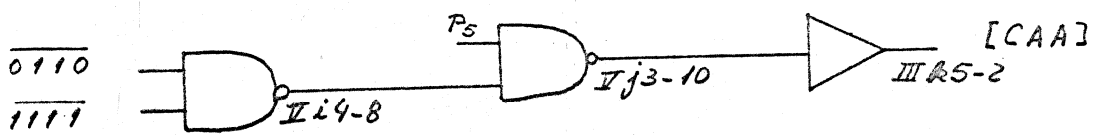


5- 3) Lógica de Comando

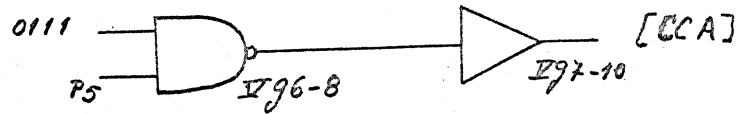
Una vez generados y decodificados los pulsos del compás y las instrucciones, se diseñó una lógica de comando para la realización de las siguientes operaciones: transferencia de información, incremento del registro C, lectura y escritura en memoria, presen
tación de la dirección y manejo de la unidad aritmética.

El modo de trabajar en transferencia consiste en la apertura del canal a la información que se desea transferir y la introducción de un pulso de reloj en los flip-flops del registro en el cual se desea copiar tal información. Así es que los siguientes diagra

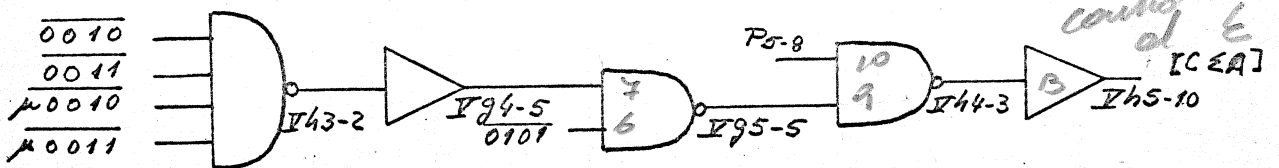
mas lógicos son los que generan los controles de habilitación de información al canal.



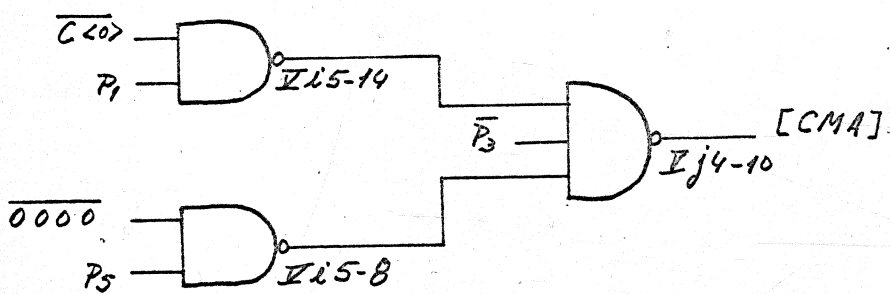
*control de entrada
al canal de A*



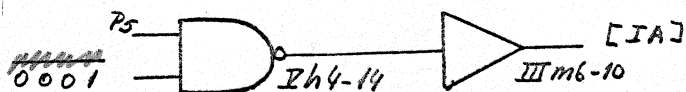
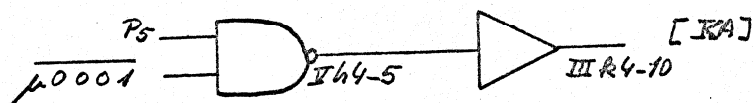
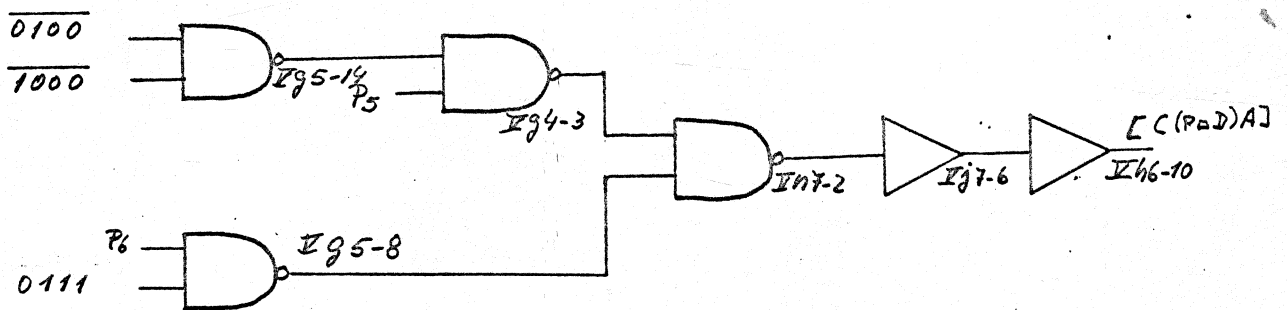
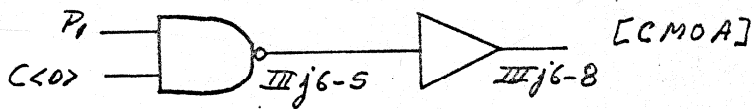
*control de entrada
al canal C*

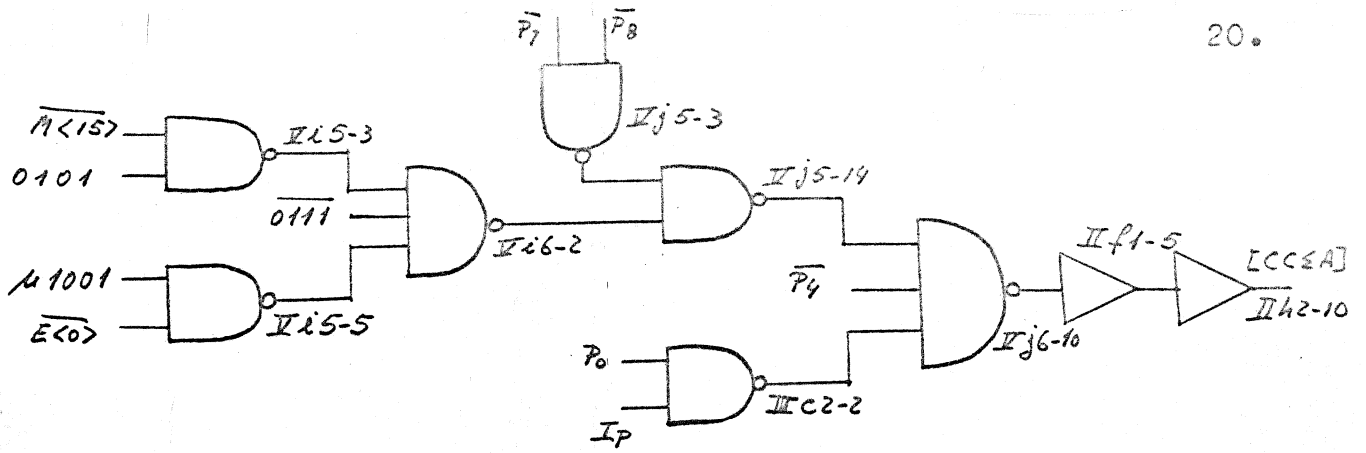


*control de entrada
al E*

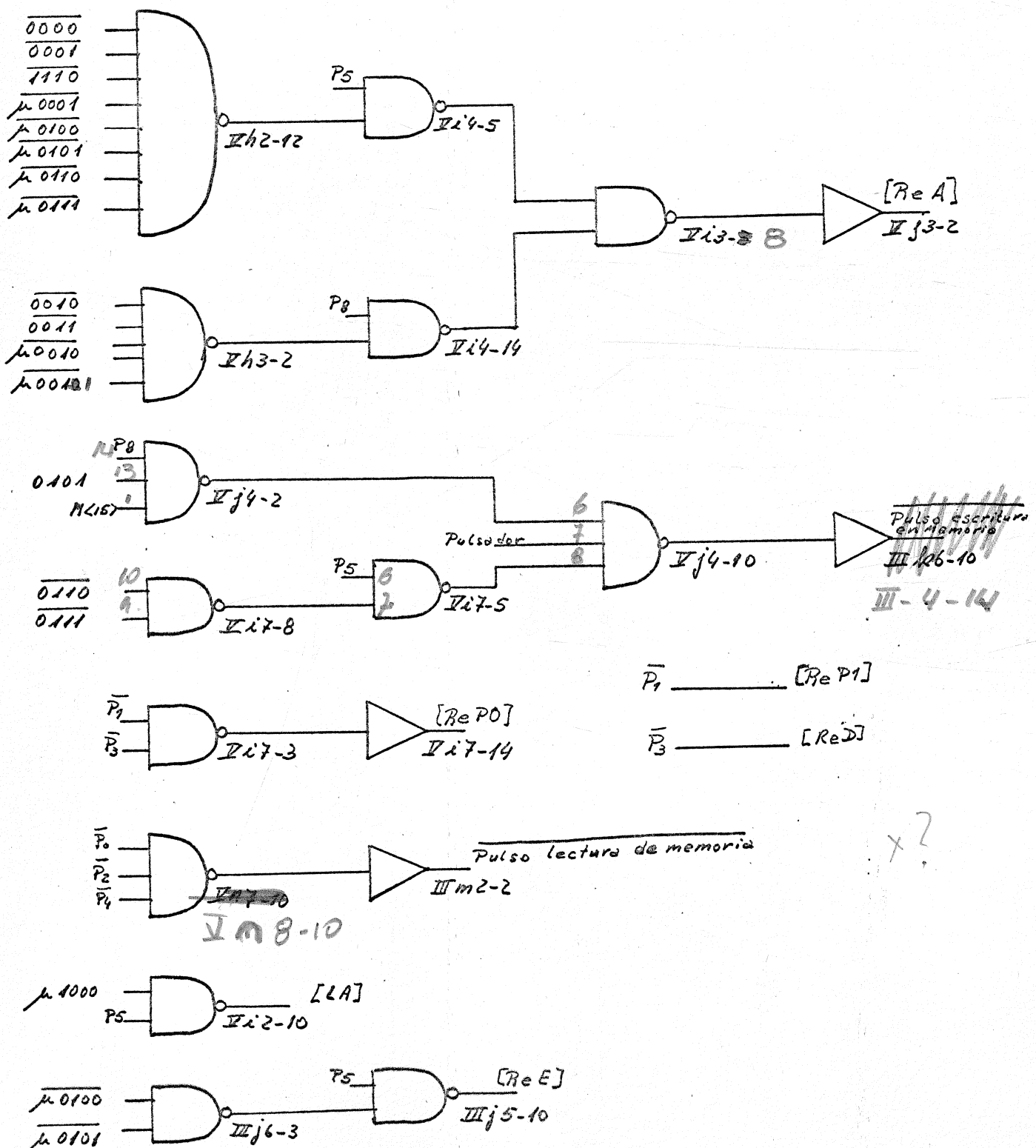


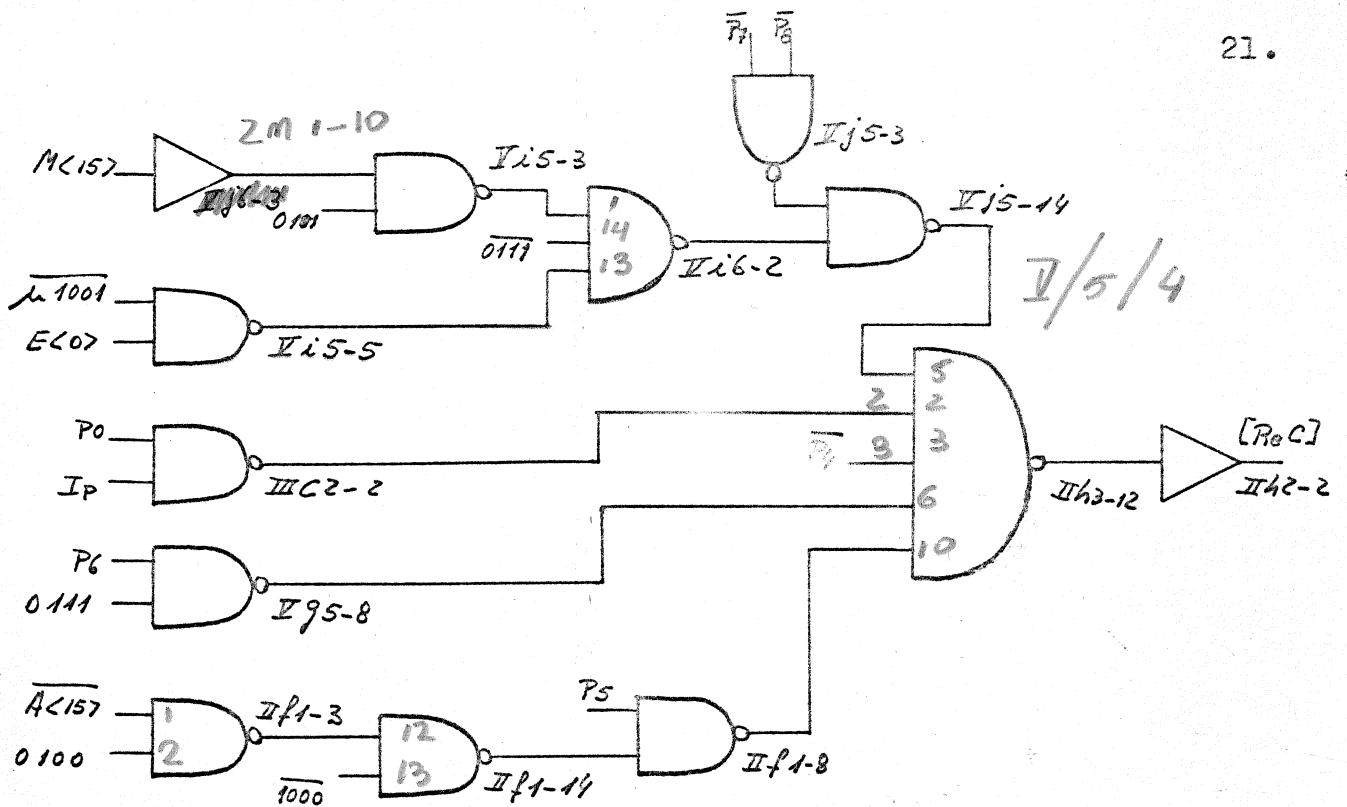
*control de entrada al
canal M.*



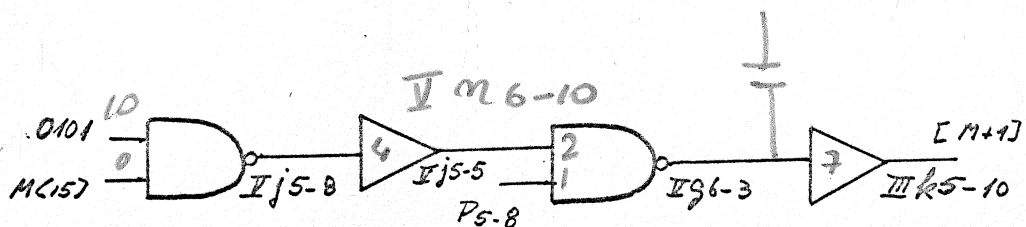
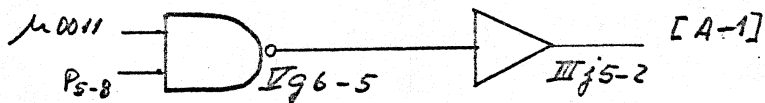
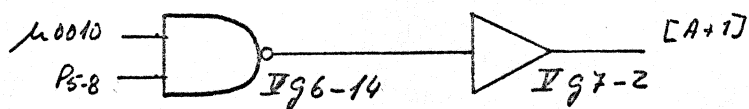
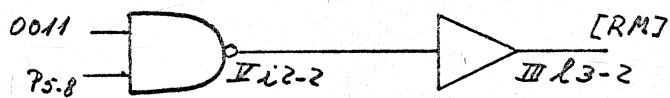
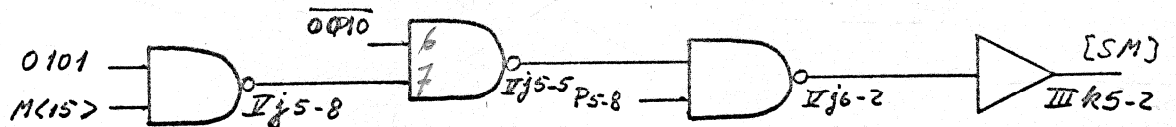
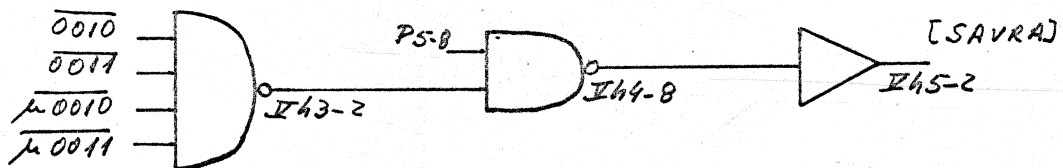


Una vez presentada la información al árbol es necesario mandar un pulso de reloj al registro deseado; para ello se diseña la siguiente lógica:

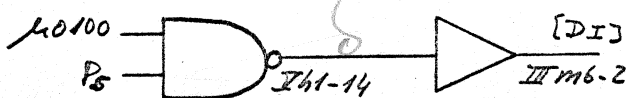
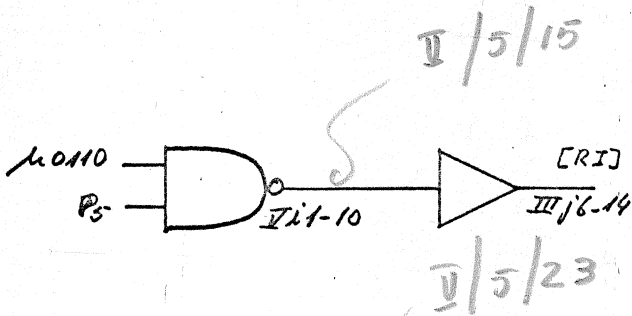
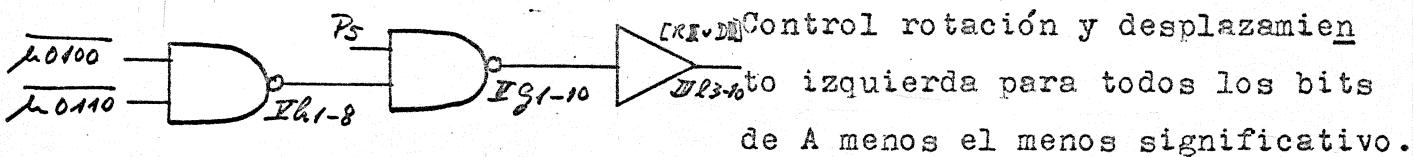
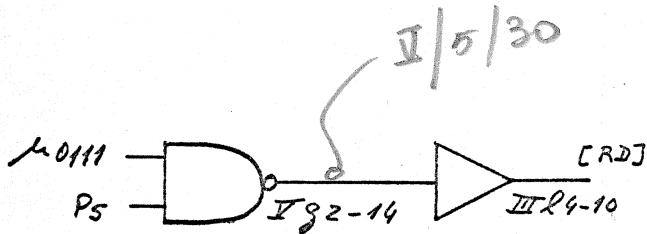
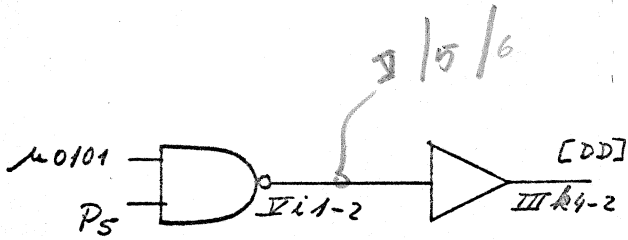
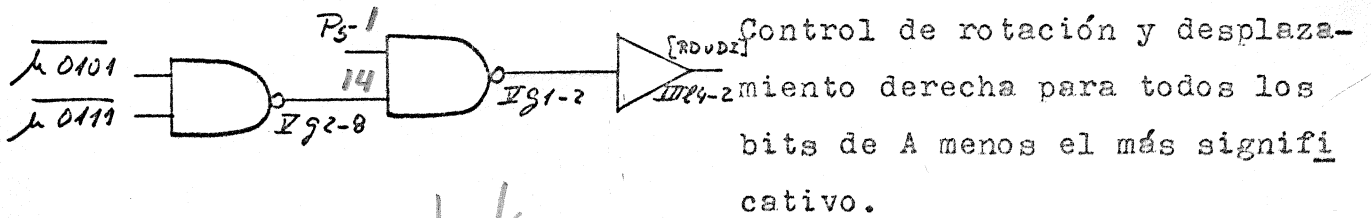




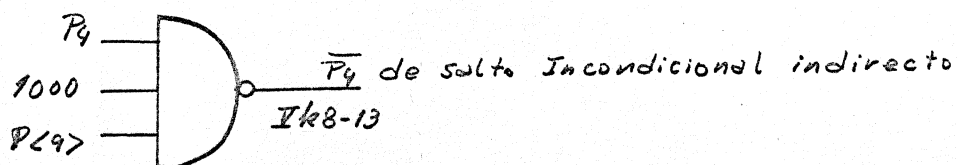
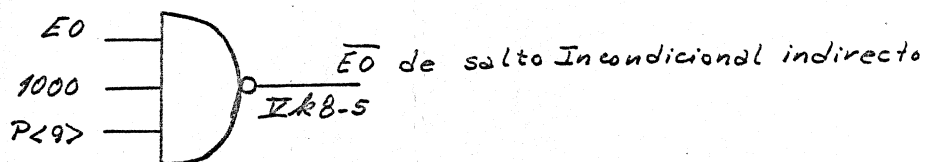
Además de los vistos, se incrementaran los siguientes controles para comandar el banco de operaciones.



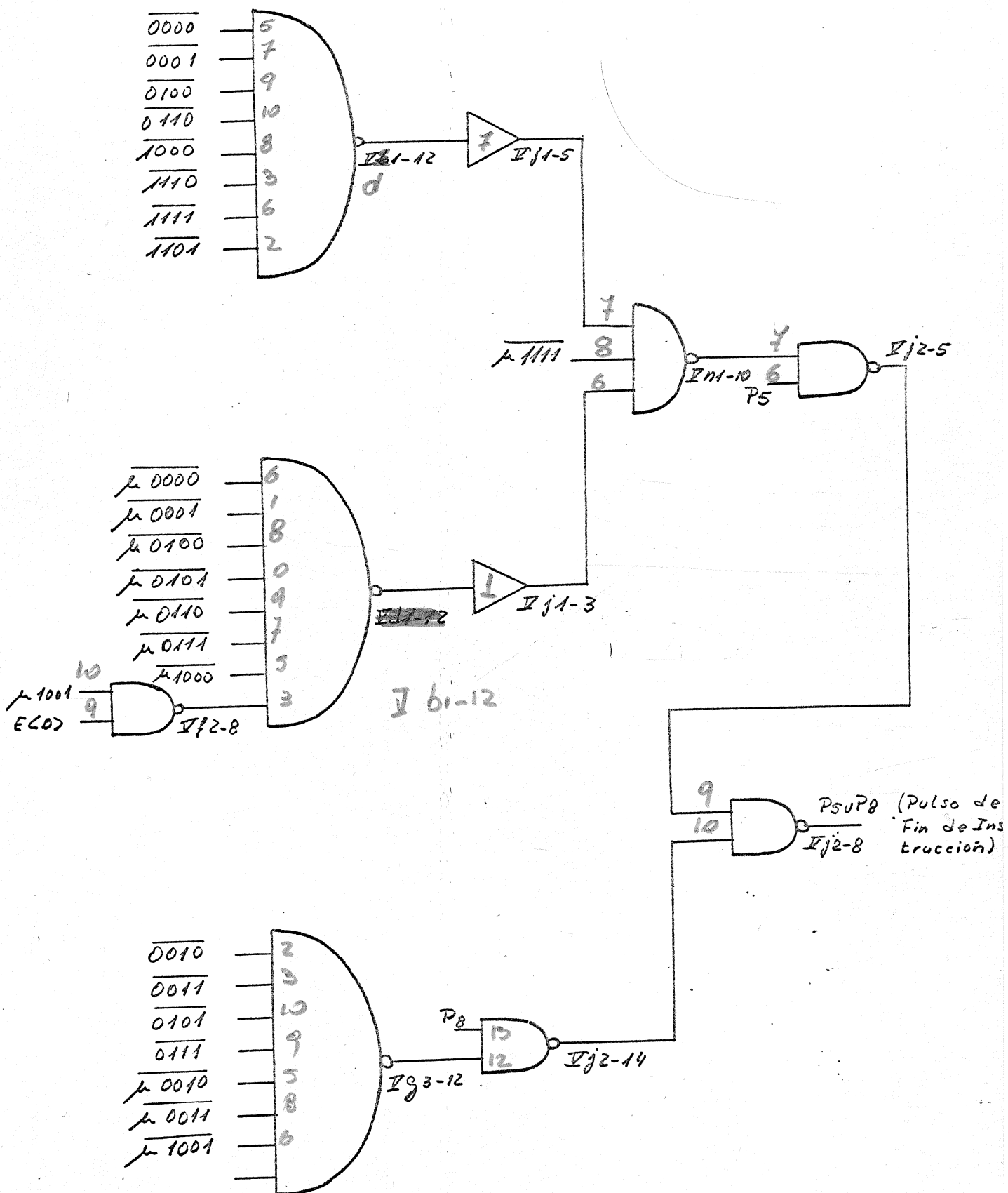
Para rotaciones y desplazamiento se han generado los siguientes controles:



Para el sistema de interrupción se generan las siguientes señales:



y para el dispositivo que permite el funcionamiento de la máquina por compás se genera el pulso de fin de instrucción.

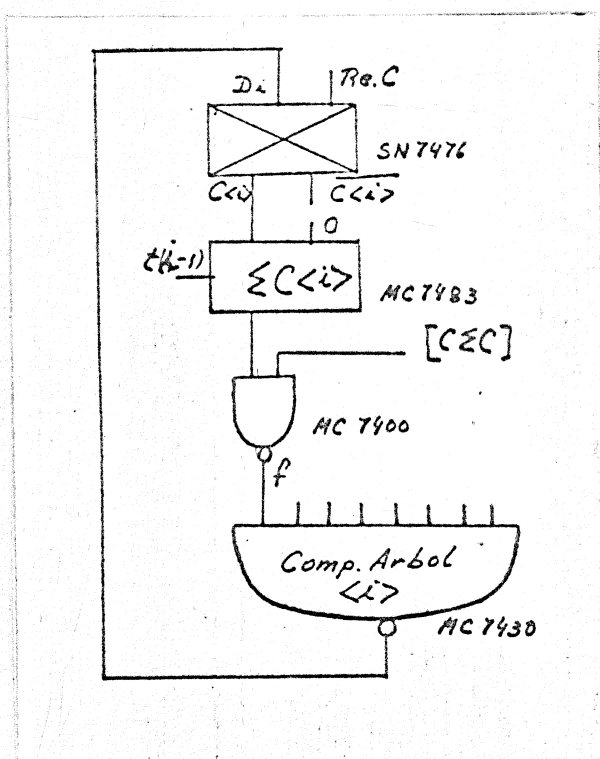


5- 4) Registro Contador de Programa

Como ya vimos existen instrucciones en las cuales hay que incrementar en uno el registro C (micros) y otras en las cuales hay que sumarle dos; para ello se pensó utilizar el banco de operaciones de la unidad aritmética desechándose dicha idea por introducir mucho retardo en el ciclo de operación y necesitar una lógica de entrada al sumador muy compleja; con menos costo se pensó colocar otro banco sumador accesorio, lográndose por medio de cuatro sumadores de 4 bits cada uno (MC 7483) solucionar el problema con un tiempo de ciclo mucho menor.

Los sumadores están conectados directamente a la salida del registro C incrementándolo en uno constantemente; a la salida de los mismos se colocó una compuerta que se habilita a la vez que se le manda reloj a C con lo cual se copia su propio estado incrementado en la unidad, esta operación se realiza con los pulsos P_0 ; P_4 y en ciertas operaciones de salto con P_7 y P_8 . Es de hacer notar que P_0 no debe aparecer en caso de interrupción; la causa de ello es que se debe guardar el contenido de este registro en memoria, sin incrementar, para poder retornar a la ejecución del programa una vez atendida la interrupción sin que haya pérdida de instrucciones; por ello el pulso P_0 se intersecta con la señal de interrupción pendiente antes de ser aplicado como control.

El diagrama lógico para un bit es el siguiente (fig.5-4-1)



5-5) Presentación de dirección a memoria

La presentación de dirección a memoria puede realizarse de cuatro lugares distintos que son: 1) Periféricos; 2) Registro C; 3) Byte 0 de P concatenado con D y 4) Llaves de dirección de consola.

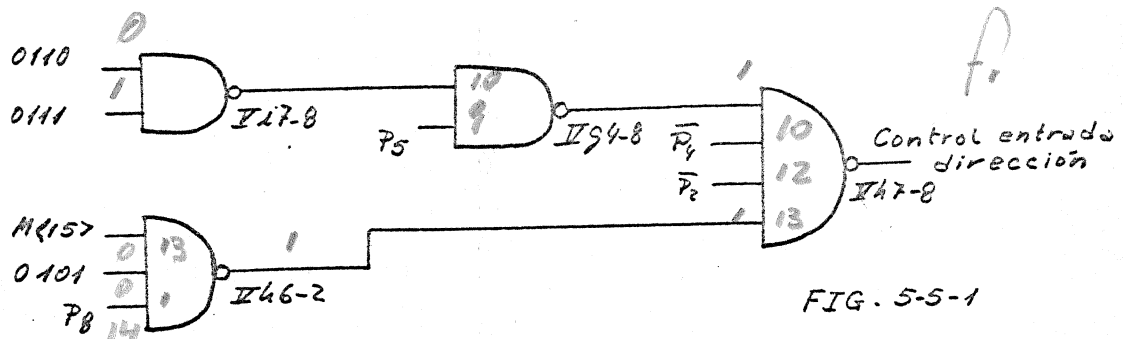
1) En el caso de que un periférico interrumpa la realización del programa principal pidiendo su inmediata atención, el periférico presenta a memoria una dirección trampa que lo identifica, la cual contiene una instrucción de salto a la subrutina correspondiente.

2) El registro C se presenta siempre que no se produzca interrupción; esta dirección será la que corresponde a la próxima instrucción.

3) En las instrucciones en que hay búsqueda de operando, al igual que aquéllas que cargan algo en memoria, se presenta como dirección la correspondiente al registro P concatenado con el D. En las primeras, o sea en las que hay búsqueda de operando, pueden presentarse las siguientes variantes: a) en caso de tratarse de una dirección de página 0, 1 o 2 para direccionado directo se presenta P concatenado con los bits que indican dicha página en la instrucción misma; b) si la dirección corresponde a página presente, esta se obtiene concatenando el byte 0 de P con el registro D; este último nos provee la información de la página mientras que el primero identifica una palabra dentro de la misma. Cuando se trata de direccionado indirecto la primera dirección puede corresponder a cualquiera de los dos casos mencionados; la información obtenida con esta dirección se dispone en los bits conformados por el byte 0 de P concatenado con D; esta será la dirección que se presentará nuevamente en forma directa para la obtención del operando. Para que esta presentación se lleve a cabo en forma correcta se establecen en 1 los flip-flops de modo de direccionado, indicando así que esta segunda dirección corresponde en forma directa a página presente, con la cual la misma estará formada por el byte 0 de P concatenado con D.

4) La última posible entrada de dirección a memoria, la dan las llaves dispuestas en la consola de control; las mismas sirven para la carga directa a memoria desde aquélla.

El control que permite la entrada de dirección a memoria para los tres primeros casos, siempre que no se haya producido una interrupción, es el obtenido mediante la siguiente lógica (figura 5-5-1)



Para el caso 4) se genera un pulso de control que habilita la entrada al canal de las llaves de información y la presentación de la dirección a memoria; el mismo pulso complementado hace de pulso de escritura en la misma. Para la obtención de este pulso se implantó el siguiente arreglo lógico. (figura 5-5-2)

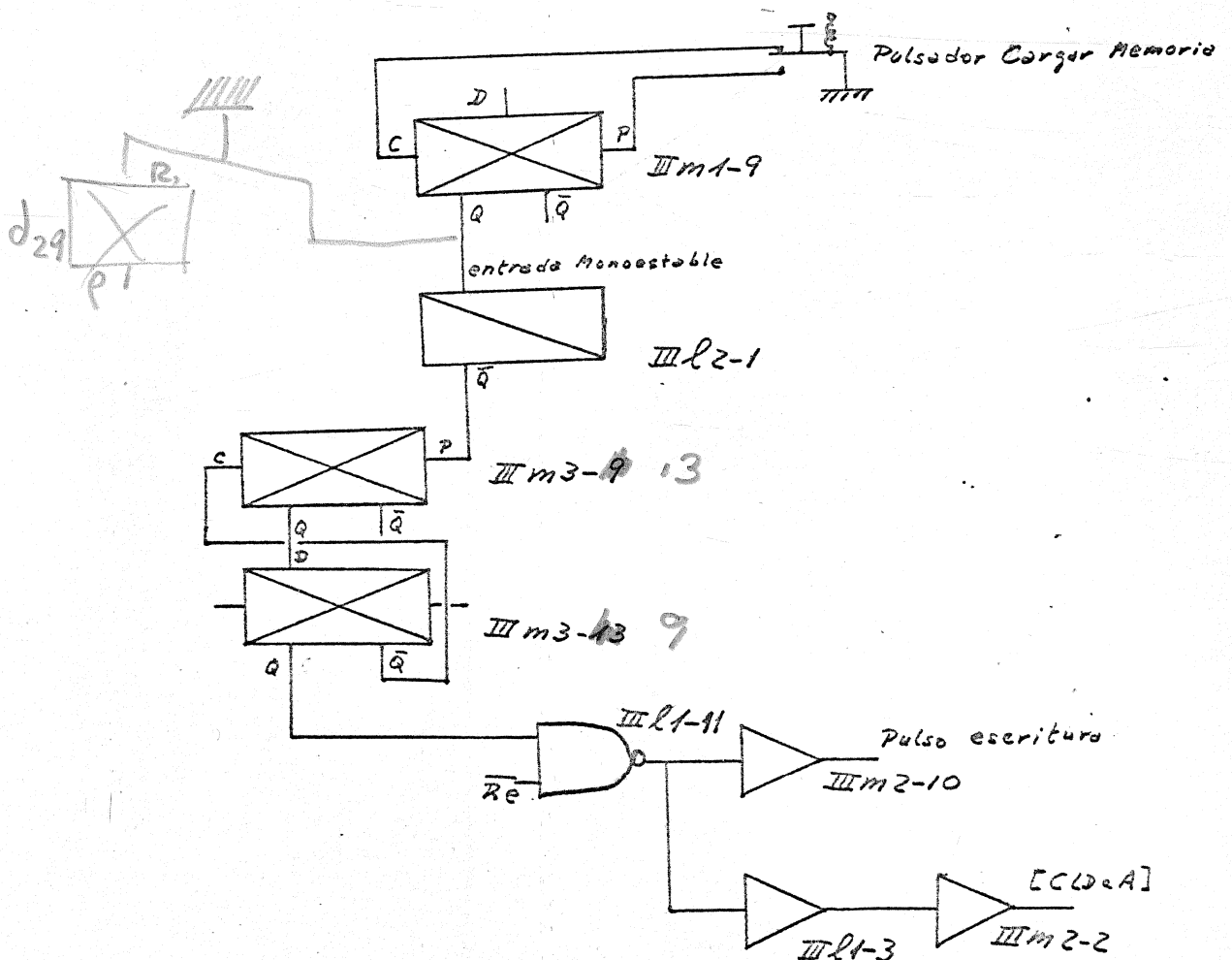
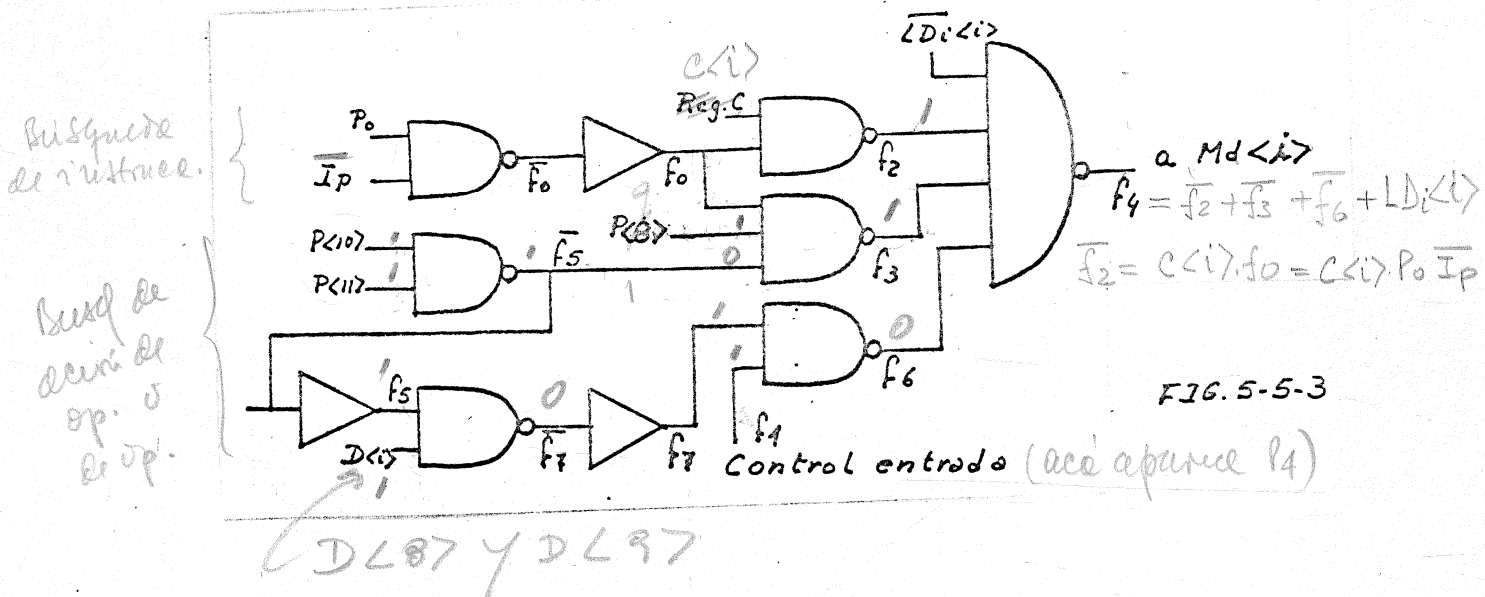


FIG. 5-5-2

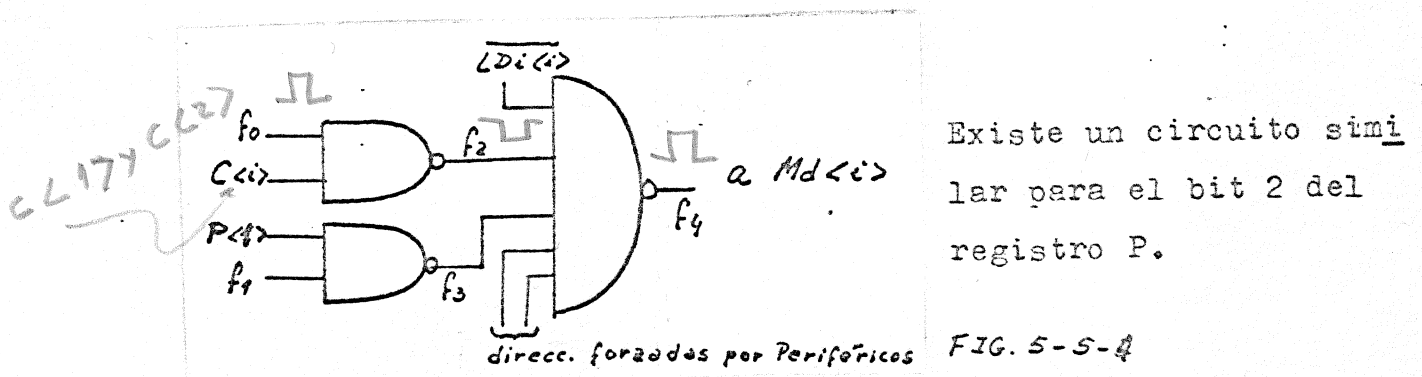
Las variantes antes mencionadas hacen que ciertos grupos de bits tengan diagramas lógicos diferentes entre sí. Los dos bits menos significativos de la parte correspondiente a la dirección del operando o a la dirección de la dirección del operando, deben poderse presentar desde la parte de instrucción que identifica las páginas 0, 1 o 2 (bits 10 y 11 de P) o bien, cuando se trata de página presente, desde el contenido del registro D; para ello se diseñó una lógica especial para estos dos bits (figura 5-5-3)



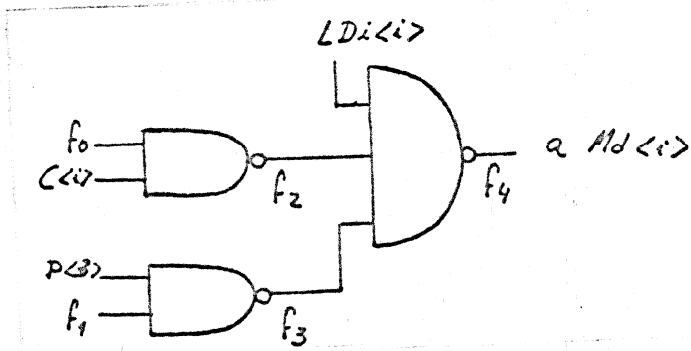
Existe un circuito similar para los bits 9 de D y 11 de P.

Otro caso especial se presenta para los últimos dos bits de dirección (1 y 2), dado que en ellos se fuerzan las direcciones trampa provenientes de los periféricos; Debido a que hasta el momento sólo se implementó la máquina para cuatro periféricos, dichas direcciones estarán compuestas por ceros salvo los últimos dos bits que identifican el periférico.

Para ello se implementó la siguiente lógica (figura 5-5-4)



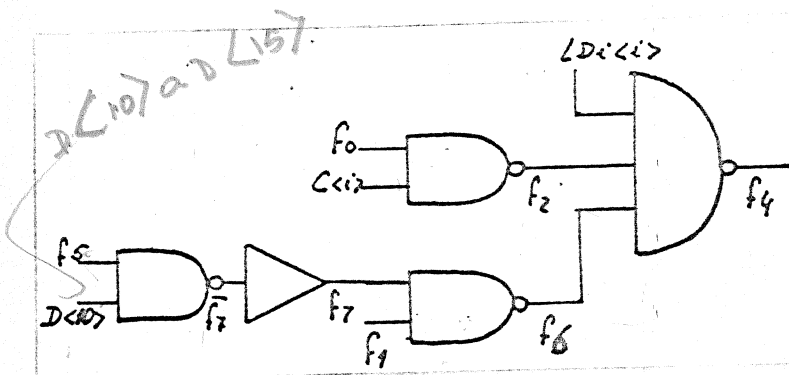
Para los demás bits de la dirección de la parte palabra se implementó lo siguiente (figura 5-5-5)



Existe un circuito similar para cada uno de los bits 4 a 7 del registro P.

FIG. 5-5-5

y para los restantes de la parte página (figura 5-5-6)



Existe un circuito similar para cada uno de los bits 11 a 15 del registro D.

FIG. 5-5-6

Es de hacer notar que la dirección está constituida por 15 bits que van del 1 al 15, dado que el 0 de C es usado para identificar el byte de la derecha o de la izquierda cuando se trata de instrucciones cortas; lo mismo ocurre con el registro P, ^{bit P<8>} pero en este caso corresponde a operandos cortos; ^{o al menos} esto último no fue implementado dejándose para una posterior realización.

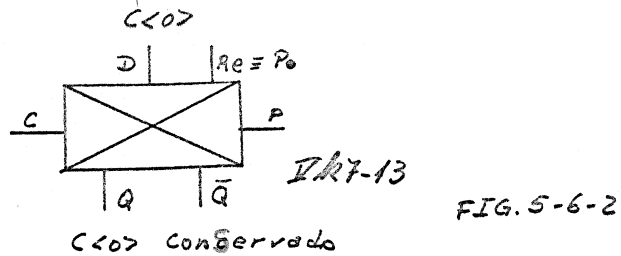
5-6) Canal de Transferencia

Está constituido por dos compuertas AND-NOR (formadas por cuatro AND de dos entradas que convergen a una NOR) y una compuerta NAND de ocho entradas; todo esto para cada bit, como se muestra en la figura 5-6-1; cada una de las compuertas AND sirven para la entrada de un registro el que es habilitado por su correspondiente control.

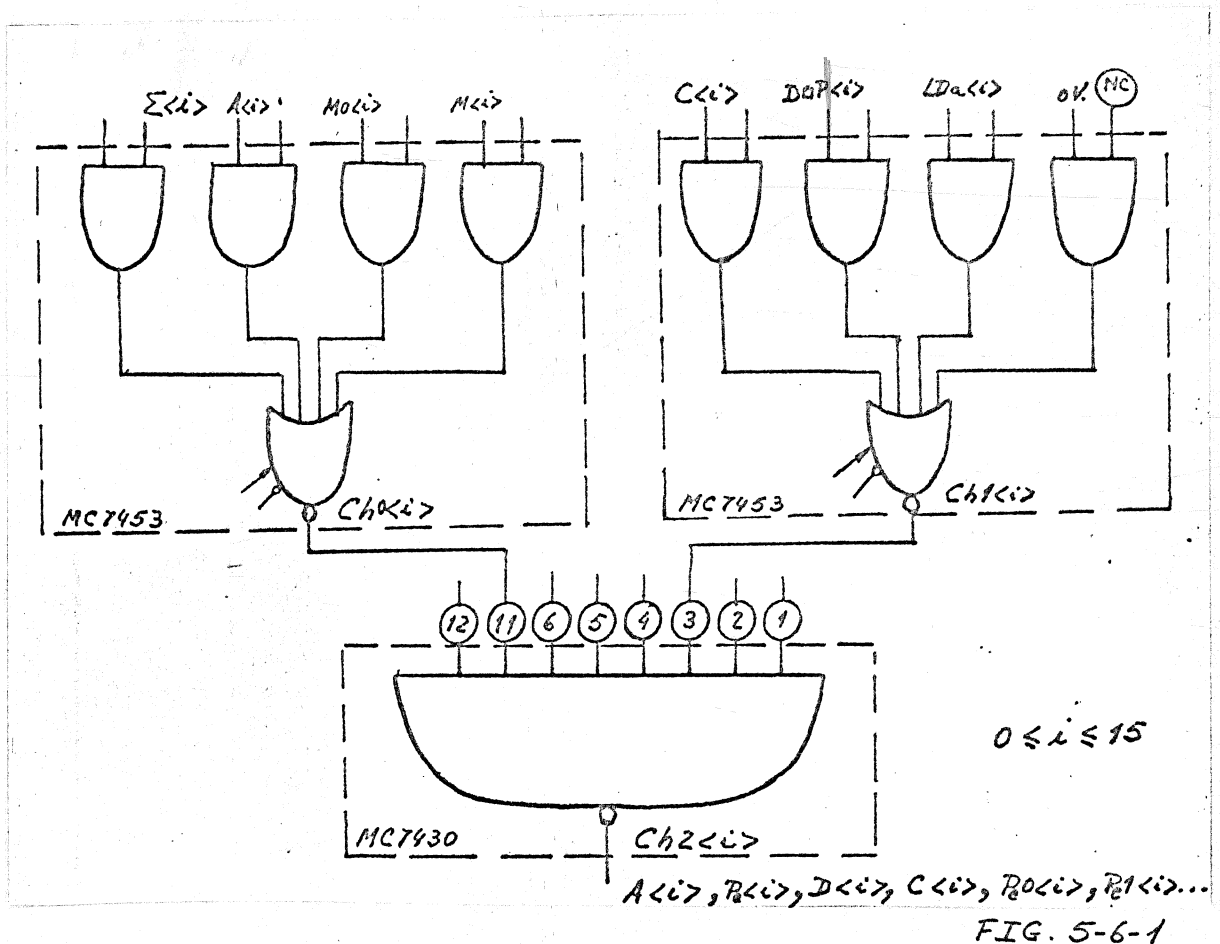
Es de hacer notar que para poder colocar en el registro P, como instrucción corta, cualquiera de los dos bytes que salen de memoria, se debe disponer de una de las entradas al canal para que el byte 0 de M pase al 1 de P.

Para la elección del mismo se usa el último bit de C pero, dado que este registro se incrementa en 1 con Po y la transferencia

de la instrucción al registro P se hace con P1, se debe conservar el estado de C antes de ser incrementado. Para ello se dispuso un flip-flop que copia con Po el estado del último bit del registro en cuestión, como se muestra en la figura (5-6-2)



Como se puede ver por el tipo de arquitectura del canal, sólo puede hacer uso del mismo una entrada por vez dado que el registro habilitado por el reloj copia el estado que hay a la salida, y éste es la unión de todas las entradas habilitadas.



5-7) Detección de desborde

Cuando el bit más significativo del acumulador, o sea el bit signo, es distinto del bit de transporte, esto se debe detectar co-

mo desborde dado que la máquina ha superado la capacidad del registro y el resultado obtenido es erróneo; esta situación debe presentarse sólo con las instrucciones de suma, resta y desplazamiento a izquierda, para que esto se cumpla en forma correcta se diseñó la siguiente lógica, (figura 5-7-1)

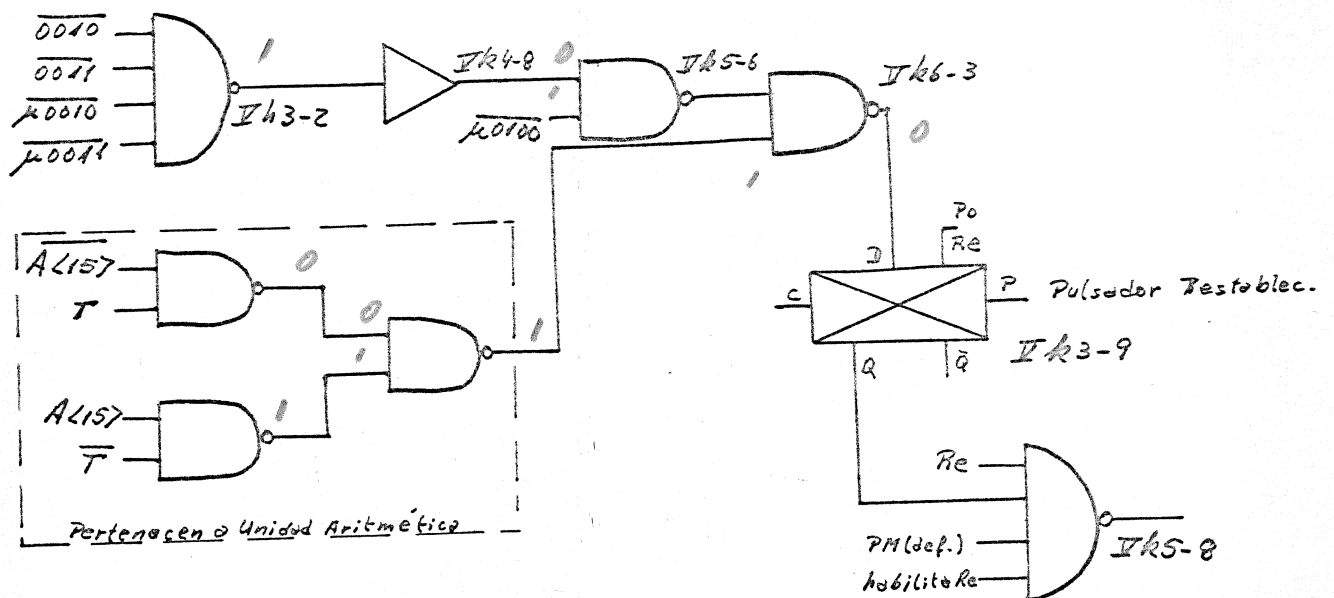


FIG. 5-7-1

Luego de un desborde, va a 0 el flip-flop de desborde; ello interrumpe reloj y la máquina se detiene. Para eliminar del registro P la instrucción que produjo el desborde, los 4 bits del código de operación son llevados a cero al mismo tiempo que se restablece en 1 el flip-flop de desborde; todo esto se hace con impulsador instalado en la consola.

5-8) Parada de la Máquina

Esta operación se realiza copiando la entrada del flip-flop correspondiente que está anclada en 1 con el pulso P_5 de la instrucción parar máquina; sin embargo existe la posibilidad de que no se pare definitivamente hasta que no hayan sido atendidas los periféricos pendientes; con este objeto se implementó la siguiente lógica (figura 5-8-1)

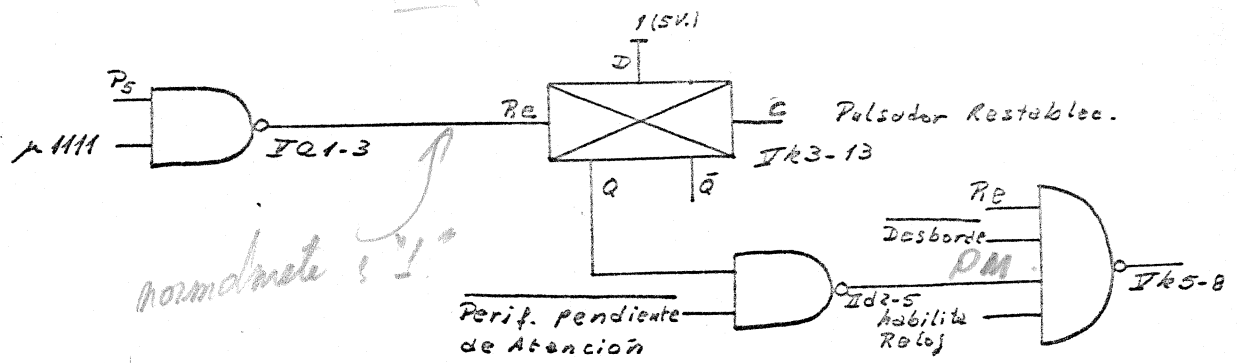


FIG. 5-8-1

El restablecimiento del flip-flop se lleva a cabo por medio del pulsador que a tal fin ha sido colocado en la consola de control.

6) IMPLEMENTACION ELECTRONICA

La máquina fue organizada en 5 tarjetas identificadas con números romanos, cada una de las cuales posee 6 conectores identificados con números decimales, cada uno de estos conectores dispone de 32 terminales identificables con un número (de 1 a 32) separado del número del conector por una barra. Así tendremos que: $V\ 3/7$ determina el terminal 7 del conector 3 de la tarjeta V.

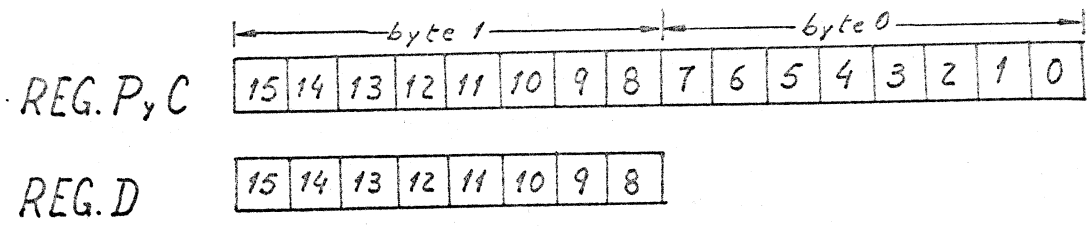
La ubicación de los módulos dentro de la tarjetas se hace con una letra minúscula que identifica la columna en la tarjeta y un número decimal que indica el orden del módulo dentro de la columna. Para la identificación de un circuito se utilizará otro objeto que indica la pata de salida del mismo separado del anterior por un guión, mientras que cuando se trate de identificar una pata del módulo, el número irá separado por una barra. Así tendremos que:

$V\ a\ 3 - 2$; identifica al circuito (compuerta, flip-flop, etc) que tiene salida por la pata 2, del módulo 3 de la columna a perteneciente a la tarjeta V.

$V\ a\ 3/2$; identifica a la pata 2 del módulo 3 de la fila a perteneciente a la tarjeta V.

Para los casos en que los circuitos se repiten (uno para cada bit por ejemplo), se confeccionaran tablas de doble entrada acompañados de los dibujos aclaratorios.

Cuando se trata de circuito único, se identificaron los elementos sobre los dibujos de la sección Diseño Lógico. Con esa identificación se podrá hallar la ubicación de circuito en los diagramas de las tarjetas, sección 6-8-1 a 4.



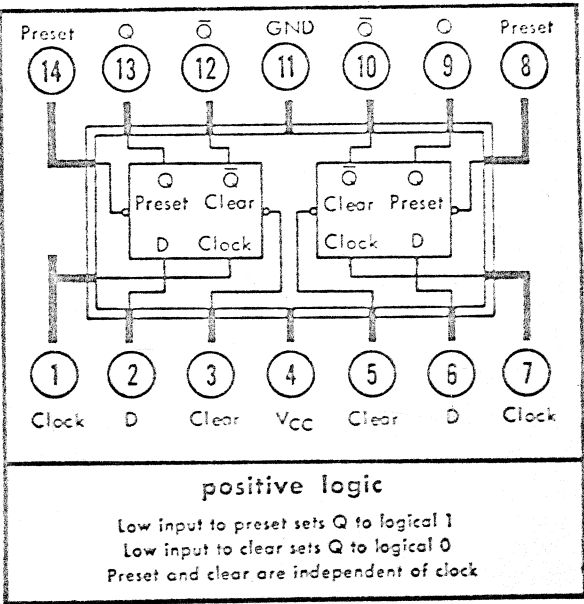
logic

SN7474

TRUTH TABLE (Each Flip-Flop)

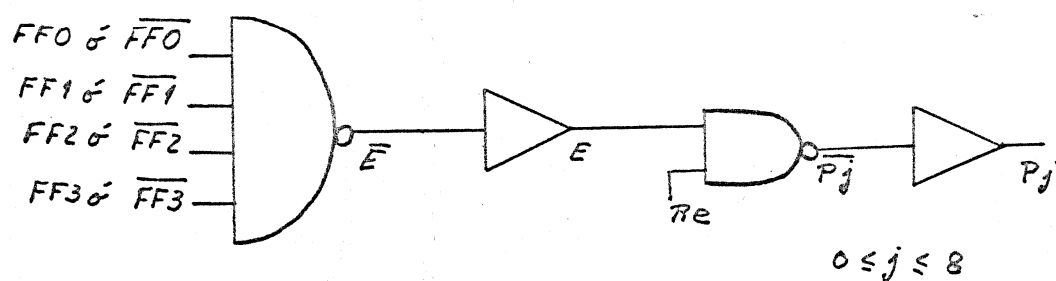
t_n	t_{n+1}	
INPUT D	OUTPUT Q	OUTPUT $\bar{Q}$
0	0	1
1	1	0

NOTES: 1. t_n = bit time before clock pulse.
2. t_{n+1} = bit time after clock pulse.

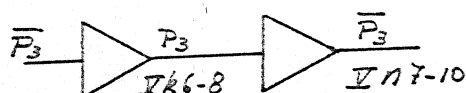


BIT	REGISTRO		
	P	C	D
0	$\Pi j 1-13$	$\Pi m 3-9$	
1	$\Pi j 1-9$	$\Pi m 3-13$	
2	$\Pi k 1-13$	$\Pi m 4-9$	
3	$\Pi k 1-9$	$\Pi m 4-13$	
4	$\Pi j 2-13$	$\Pi j 3-13$	
5	$\Pi j 2-9$	$\Pi j 3-9$	
6	$\Pi k 2-13$	$\Pi j 4-13$	
7	$\Pi k 2-9$	$\Pi j 4-9$	
8	$\Pi a 7-13$	$\Pi j 5-13$	$\Pi l 1-13$
9	$\Pi a 7-9$	$\Pi j 5-9$	$\Pi l 1-9$
10	$\Pi b 7-13$	$\Pi j 6-13$	$\Pi m 1-13$
11	$\Pi b 7-9$	$\Pi j 6-9$	$\Pi m 1-9$
12	$\Pi d 7-13$	$\Pi m 5-9$	$\Pi l 2-13$
13	$\Pi d 7-9$	$\Pi m 5-13$	$\Pi l 2-9$
14	$\Pi e 6-13$	$\Pi m 6-9$	$\Pi m 2-13$
15	$\Pi e 6-9$	$\Pi m 6-13$	$\Pi m 2-9$

6-2) Decodificadores de Pulsos

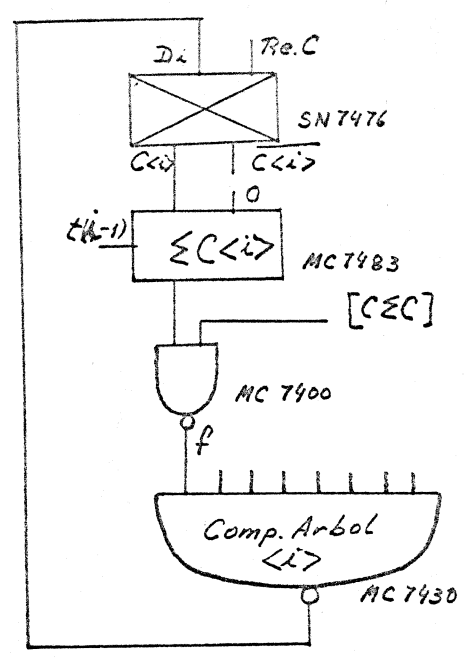


j	$\bar{E}$	E	$\bar{P}_j$	P_j
0	I_{m3-6}	I_{l4-3}	I_{l5-6}	I_{l6-4}
1	I_{m3-8}	I_{n6-2}	I_{m5-11}	I_{m6-6}
			I_{m6-12}	I_{m6-8}
2	I_{n4-6}	I_{n6-6}	I_{m5-6}	I_{l6-12} I_{m8-12}
3	I_{n4-8}	I_{n6-12}	I_{m5-3}	I_{k6-8}
			I_{n7-10}	
4	I_{m4-6}	I_{l4-6}	I_{l5-3}	I_{k8-3}
5	I_{m4-8}	I_{n6-4}	I_{m5-8}	I_{l6-10}
				I_{l6-8}
				I_{l6-12}
6	I_{n5-6}	I_{n6-8}	I_{l5-11}	I_{m6-2}
7	I_{n5-8}	I_{n6-10}	I_{l5-8}	
8	I_{l3-8}	I_{l4-11}	I_{l4-8}	I_{m6-4}



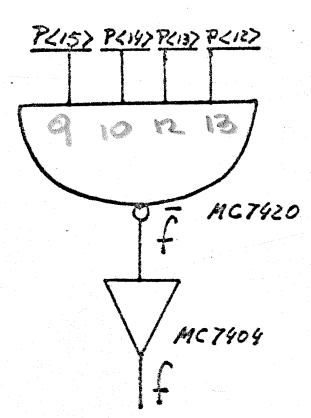
6-3) Sumador Reg. C

35.



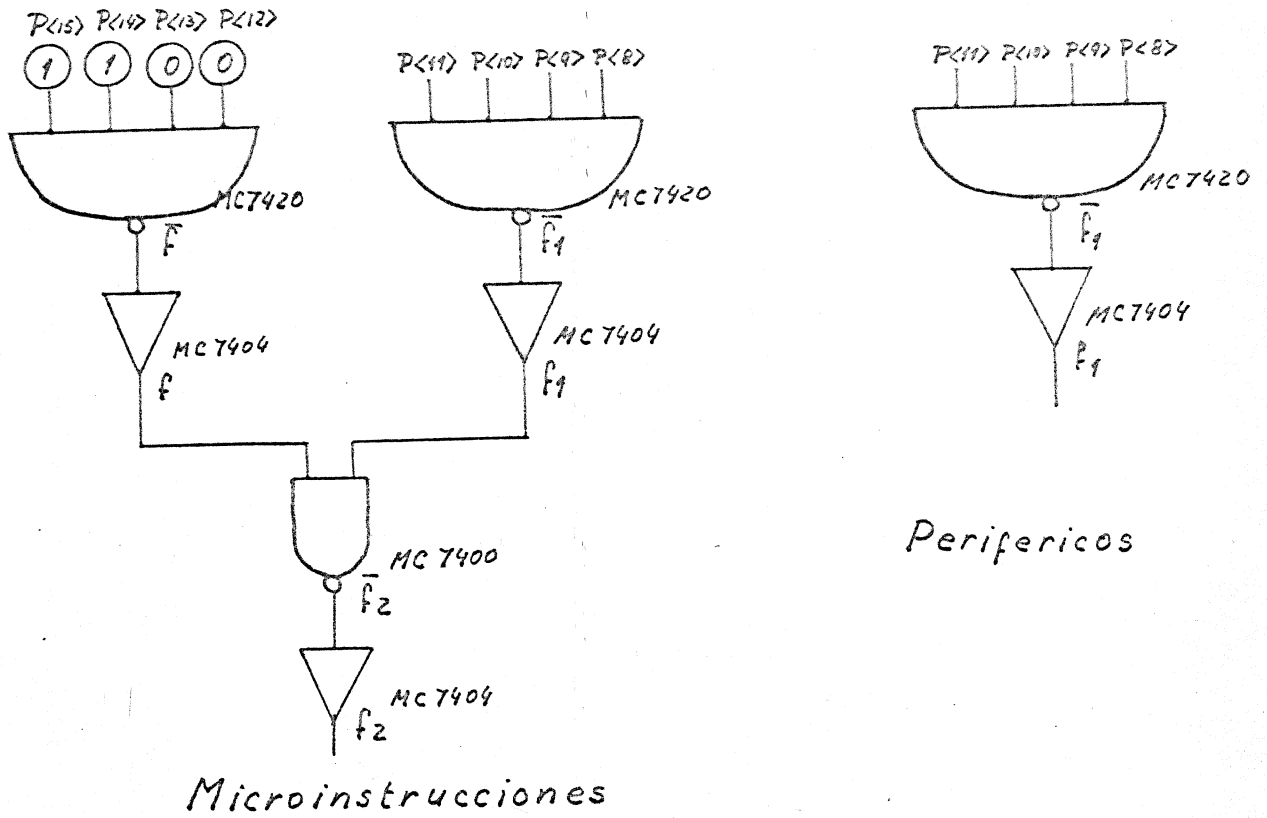
i	$\Sigma C < i >$	f
0	$\Pi 23/9$	$\Pi 24-3$
1	$\Pi 23/6$	$\Pi 24-5$
2	$\Pi 23/2$	$\Pi 24-8$
3	$\Pi 23/15$	$\Pi 24-14$
4	$\Pi 23/9$	$\Pi 24-3$
5	$\Pi 23/6$	$\Pi 24-5$
6	$\Pi 23/2$	$\Pi 24-8$
7	$\Pi 23/15$	$\Pi 24-14$
8	$\Pi 25/9$	$\Pi 26-3$
9	$\Pi 25/6$	$\Pi 26-5$
10	$\Pi 25/2$	$\Pi 26-8$
11	$\Pi 25/15$	$\Pi 26-14$
12	$\Pi 25/9$	$\Pi 26-3$
13	$\Pi 25/6$	$\Pi 26-5$
14	$\Pi 25/2$	$\Pi 26-8$
15	$\Pi 25/15$	$\Pi 26-14$

6-4) Decodificador de Instrucciones



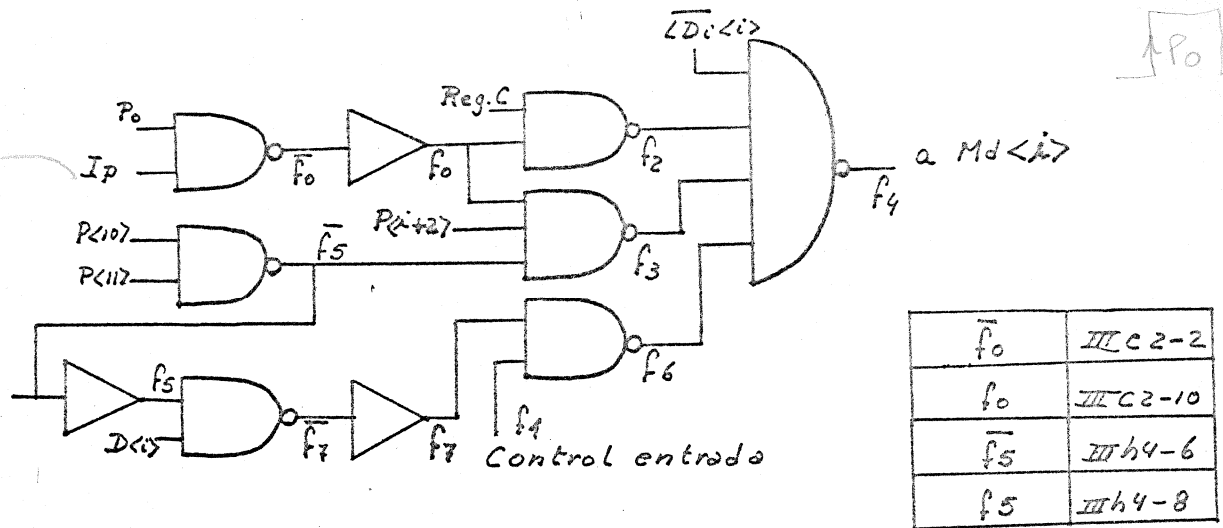
Circuitos		
Codigo	$\bar{f}$	f
0000	$\bar{I}e4-6$	$I\bar{f}1-8$
0001	$\bar{I}f3-6$	$I\bar{f}1-6$
0010	$\bar{I}e5-6$	
0011	$\bar{I}f5-6$	$I\bar{f}1-4$
0100	$\bar{I}e4-8$	
0101	$\bar{I}f3-8$	$I\bar{f}1-10$
0110	$\bar{I}e5-8$	
0111	$\bar{I}f5-8$	$I\bar{f}1-6$
1000	$\bar{I}f4-8$	
1100	$\bar{I}c4-6$	$I\bar{c}1-2$
1100	$\bar{I}c4-8$	$I\bar{c}1-4$
1101	$\bar{I}c5-8$	$I\bar{e}1-4$
1110	$\bar{I}c5-6$	$I\bar{e}1-6$
1111	$\bar{I}f4-6$	$I\bar{f}1-8$

6-5) Decodificador de Microinstrucciones y Perifericos

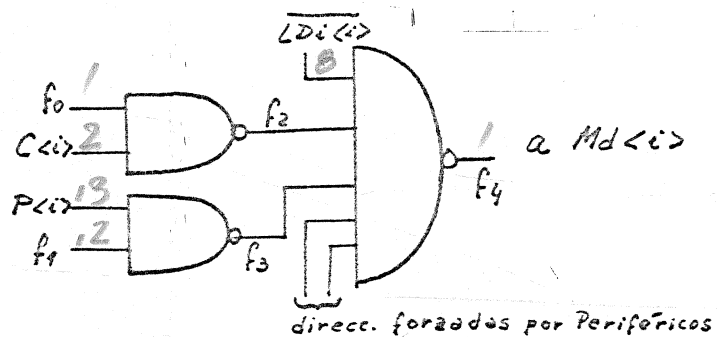


Circuitos				
Codigo P<11> P<10> P<9> P<8>	$\bar{f}_1$	f_1	$\bar{f}_2$	f_2
0000	Ib6-8	Ib2-8	Ic2-6	
0001	Ib6-6	Ic1-6	Ic3-3	If2-6
0010	Ia6-6	Ia2-6	Ie2-6	
0011	Ia6-8	Ia2-12	Ic2-3	
0100	Ib5-8	Ic1-12 8	Ie3-11	Ie1-2 6 DT
0101	Ib5-6	Ib2-8 2	Ie3-8	If2-11 DD
0110	Ia5-6	Ia2-4	Ie2-3	Ie1-8 12 RI
0111	Ia5-8	Ia2-10	Ic2-8	Ie1-8 8 RD
1000	Ib3-8	Ib2-10	Ie2-8	Ie1-10
1001	Ib3-6	Ib2-4	Ic3-6	If2-3
1010	Ia3-6	Ic1-8 12	Ic3-8	Ia1-5 SD
1011	Ia3-8	Ic1-10	Ic3-11	Ia1-6 PD
1100	Ib4-8	Ib2-12	Ie2-11	
1101	Ib4-6	Ib2-2	Ie3-6	
1110	Ia4-6	Ia2-2		
1111	Ia4-8	Ia2-12	Ic2-11	Ia1-14

6-6) Presentacion de Direccion a Memoria



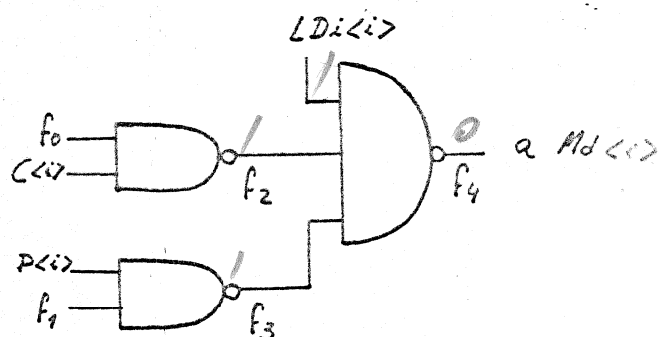
i	f ₂	f ₃	f ₄	f ₆	f ₇	$\overline{f_7}$
8	III h5-14	III h3-3	III i4-10	III h5-8	III h5-5	III h5-3
9	III i5-14	III h3-5	III i4-2	III i5-8	III i5-5	III i5-3



i	f ₂	f ₃	f ₄
1	III e2-3	III e2-14	III e3-12
2	III e2-8	III e2-5	III C1-12

f_0 y f_1 Idem Anterior

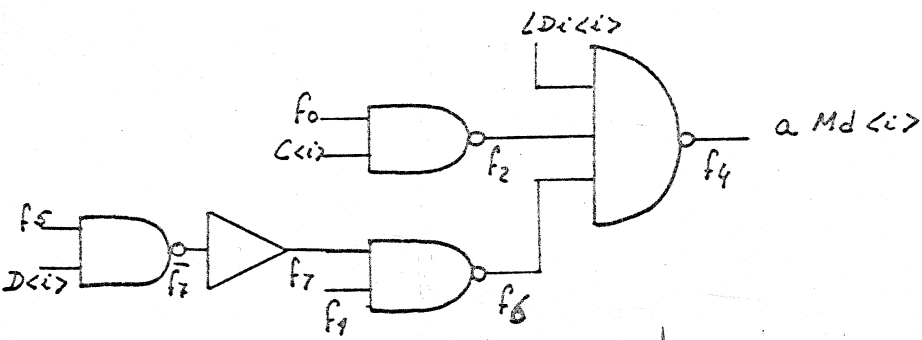
EN LA PRESENTE IMPLEMENTACION SOLO SE PUEDEN FORZAR 4 DIRECCIONES CORRESPONDIENTES A 4 PERIFERICOS.-



f_0 y f_1 Idem Anterior

TABLA CONEX. HOJA SIGUIENTE

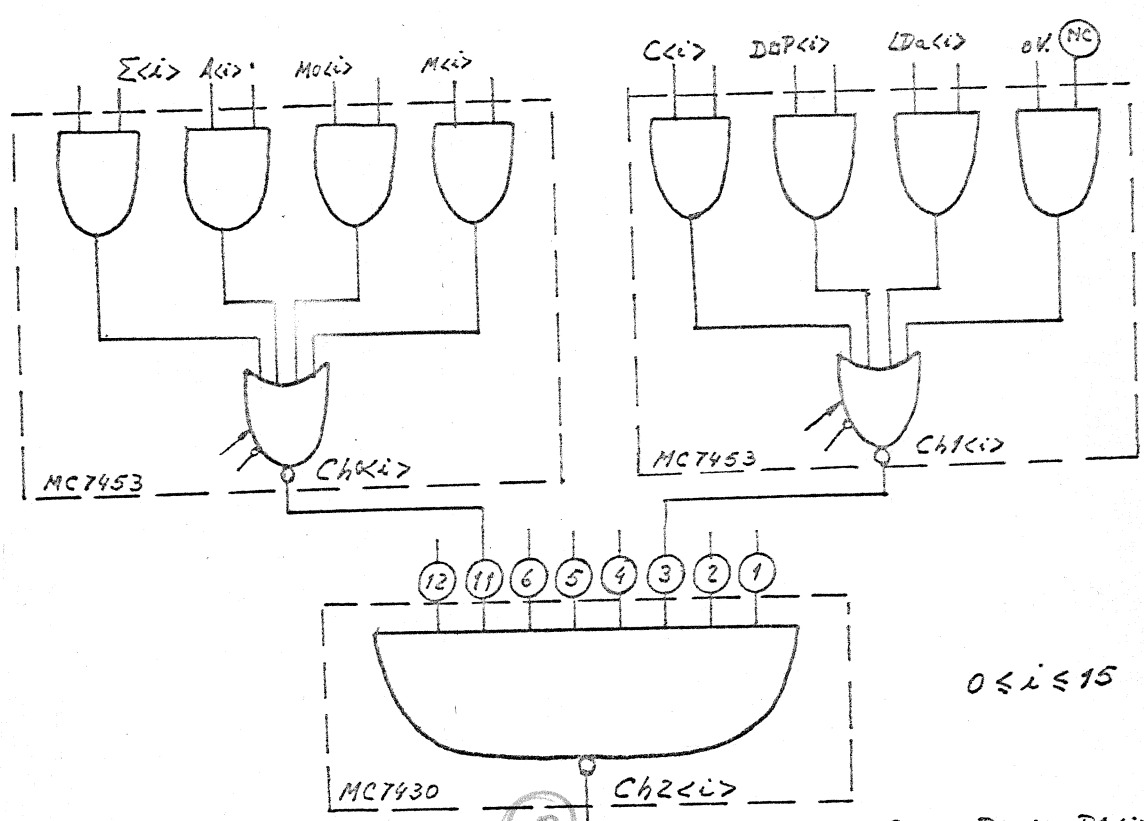
i	f_2	f_3	f_4
0	$\text{III } a2-8$	$\text{III } a2-5$	$\text{III } a3-2$
3	$\text{III } a2-3$	$\text{III } a2-14$	$\text{III } a3-10$
4	$\text{III } a5-3$	$\text{III } a5-14$	$\text{III } a4-2$
5	$\text{III } a5-8$	$\text{III } a5-5$	$\text{III } a4-10$
6	$\text{III } e5-8$	$\text{III } e5-5$	$\text{III } e4-2$
7	$\text{III } e5-3$	$\text{III } e5-14$	$\text{III } e4-10$



f_0, f_1, f_5 Idem bit 8 y 9

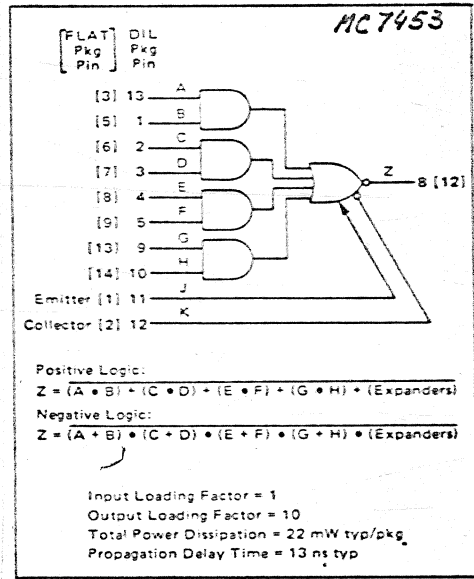
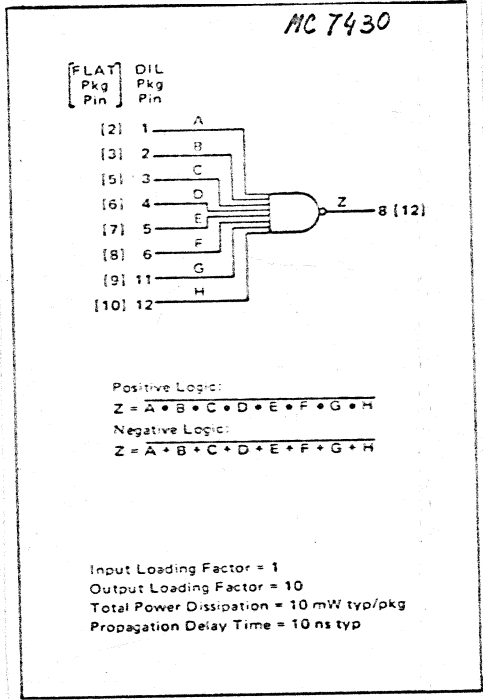
i	f_2	f_4	f_6	$\overline{f_7}$	f_7
10	$\text{III } g3-14$	$\text{III } f4-10$	$\text{III } g3-8$	$\text{III } g3-3$	$\text{III } g3-5$
11	$\text{III } f5-14$	$\text{III } f4-2$	$\text{III } f5-8$	$\text{III } f5-3$	$\text{III } f5-5$
12	$\text{III } i2-14$	$\text{III } f3-10$	$\text{III } i2-8$	$\text{III } i2-3$	$\text{III } i2-5$
13	$\text{III } h2-14$	$\text{III } f3-2$	$\text{III } h2-8$	$\text{III } h2-3$	$\text{III } h2-5$
14	$\text{III } g2-14$	$\text{III } i3-10$	$\text{III } g2-8$	$\text{III } g2-3$	$\text{III } g2-5$
15	$\text{III } f2-14$	$\text{III } i3-2$	$\text{III } f2-8$	$\text{III } f2-3$	$\text{III } f2-5$

6-7) CANAL de TRANSFERENCIA



$0 \leq i \leq 15$

8) $A<i>, R<i>, D<i>, C<i>, R<i>, P<i>...$
SA<i> Salida Arbol <i>

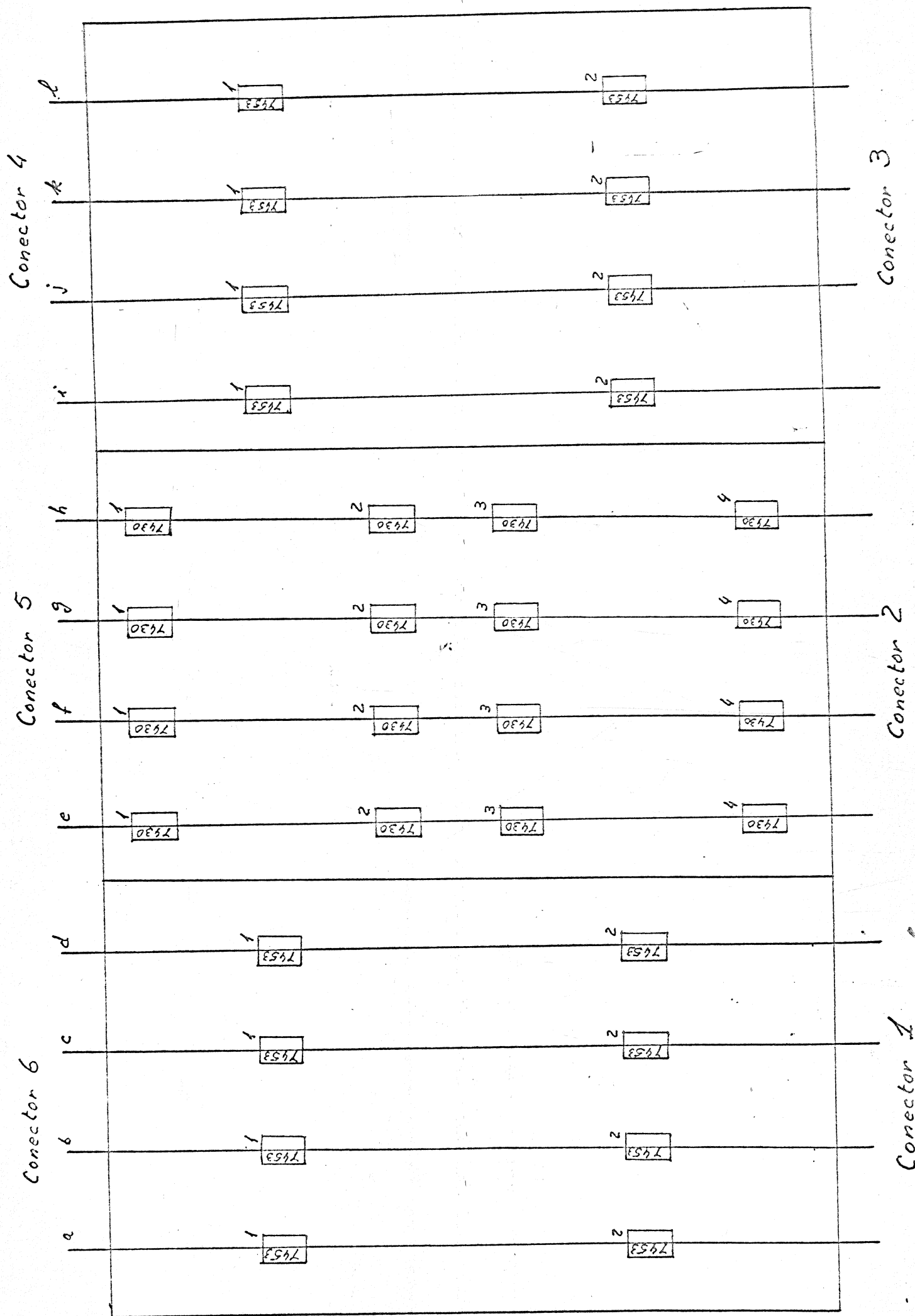


ENTRADAS Ch2<i>

- 1) COMPUERTA 7453 del BANCO de OPERACIONES <i>
- 2) " INTERSECCIÓN MΛA <i>
- 4) PERIFERICO [0] <i>
- 5) PERIFERICO [1] <i>
- 6) PERIFERICO [2] <i>
- 12) COMPUERTA ΣC <i>
- NC) NO CONECTADO

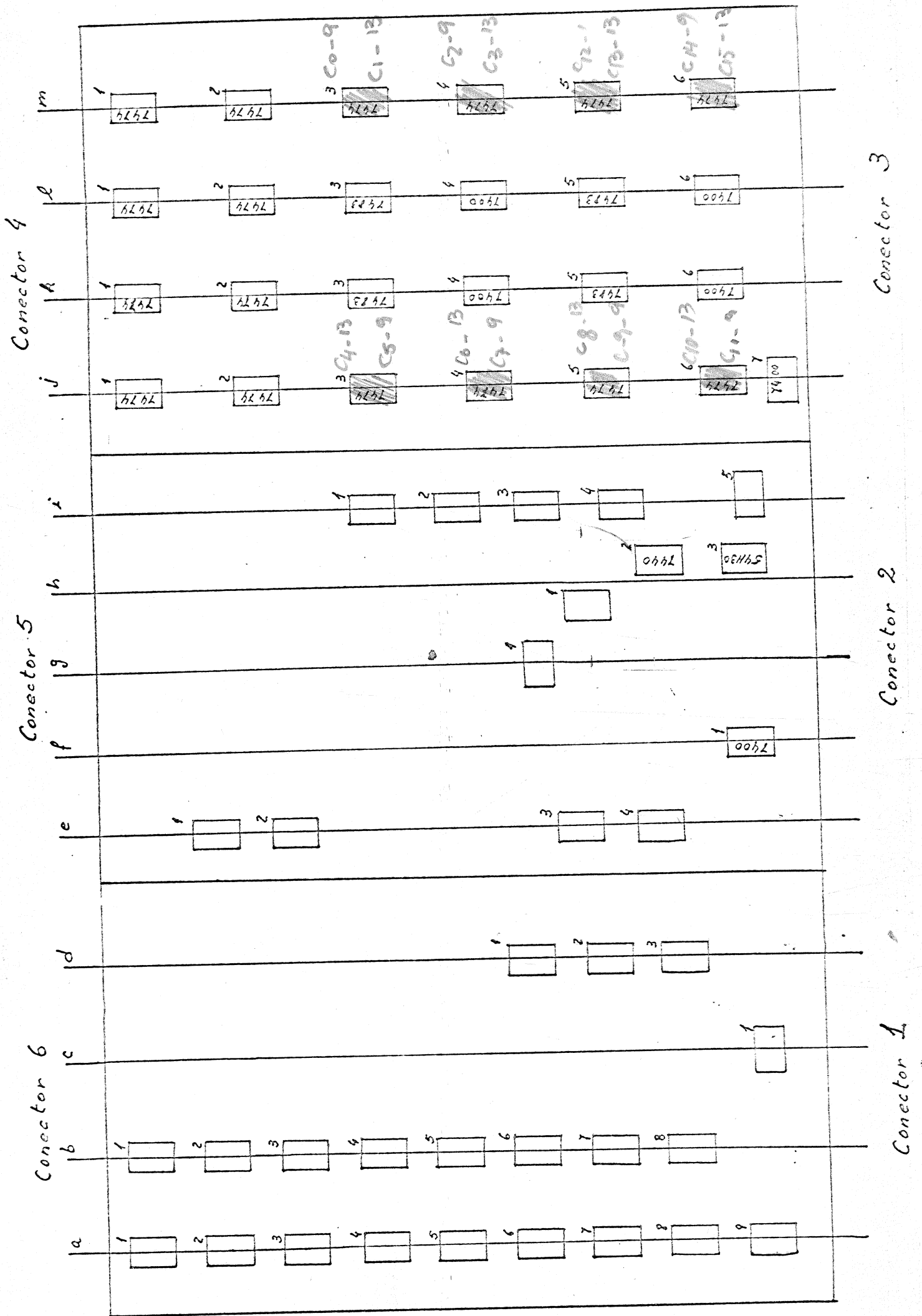
Identificacion Modulos Canal de Transferencia			
i	$Ch0<i>$	$Ch1<i>$	$Ch2<i>$
0	Ia1-8	IIIe1-8	Ie2-8
1	Ib1-8	III d1-8	If2-8
2	Ic1-8	III b1-8	If1-8
3	Id1-8	III a1-8	Ie1-8
4	Ii1-8	III a6-8	Ig1-8
5	Ij1-8	III b2-8	Ig2-8
6	IA1-8	III d2-8	Ih1-8
7	II1-8	III e6-8	Ih2-8
8	Ia2-8	III i6-8	Ie3-8
9	Ib2-8	III A6-8	Ie4-8
10	Ic2-8	III g4-8	If3-8
11	Id2-8	III f6-8	If4-8
12	Ii2-8	III i1-8	Ih4-8
13	Ij2-8	III h1-8	Ih3-8
14	Ik2-8	III g1-8	Ig4-8
15	Ie2-8	III f1-8	Ig3-8

6-8-1) TARJETA I



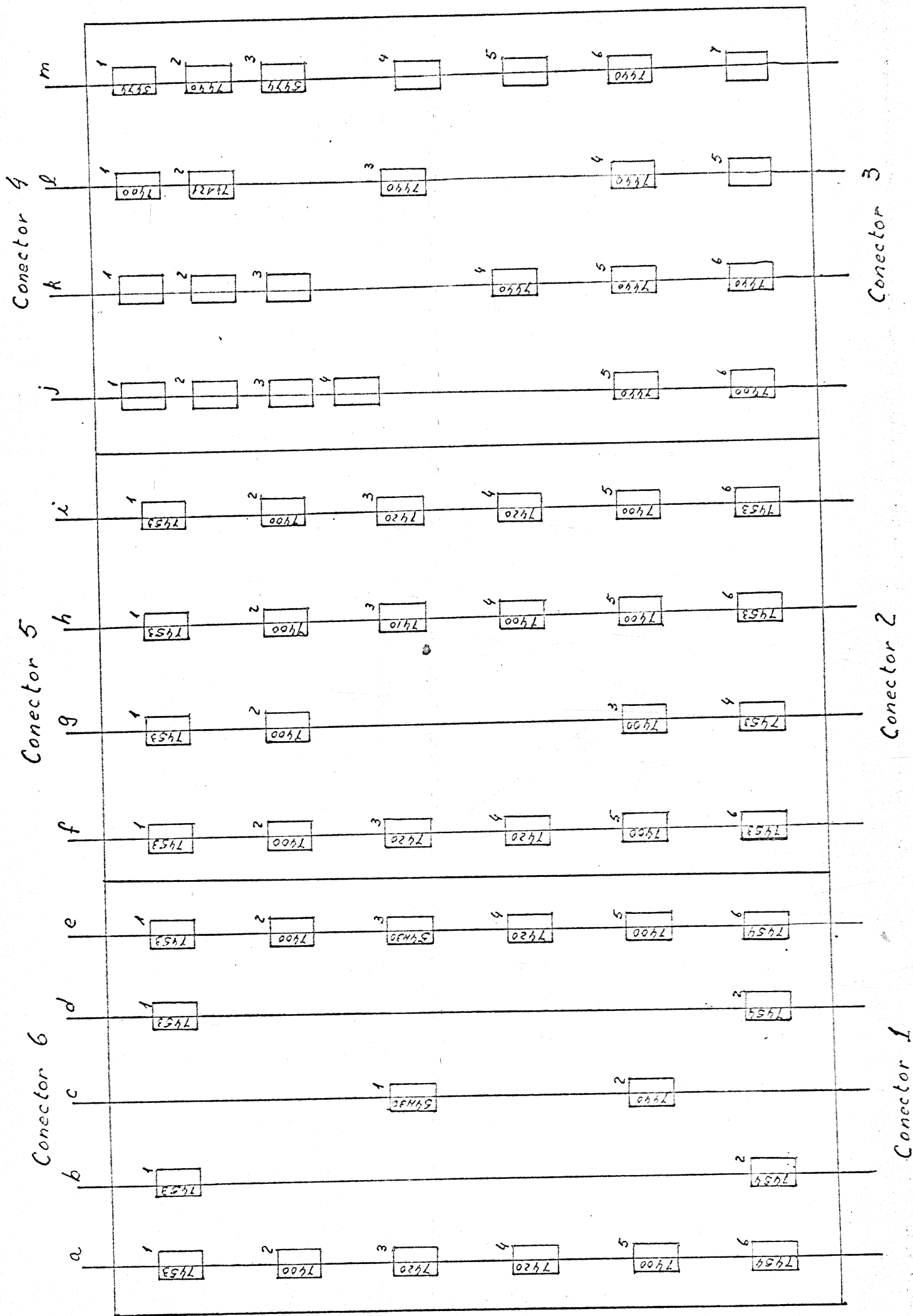
6-8-2) TARJETA II

42.

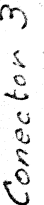


6-8-3) TARJETA III

43.



44.



Conector 2

Conector 1

6-9) CONECTORES

6-9-1) TARJETA I

CONECTOR 1.

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1	IV/6/3	Ia2/9	$\Sigma < 8 >$
2	IV/6/1	Ia2/4	A < 8 >
3		Ia2/3	MO < 0 >
4		Ia2/1	M < 8 >
5	IV/6/4	Ib2/9	$\Sigma < 9 >$
6	IV/6/2	Ib2/4	A < 9 >
7		Ib2/3	MO < 1 >
8		Ib2/1	M < 9 >
9	III/6/5	Ic2/9	$\Sigma < 10 >$
10	III/6/11	Ic2/4	A < 10 >
11		Ic2/3	MO < 2 >
12		Ic2/1	M < 10 >
13	II/6/9	Id2/9	$\Sigma < 11 >$
14	II/6/10	Id2/4	A < 11 >
15		Id2/3	MO < 3 >
16		Id2/1	M < 11 >
17	IV/1/31	Ie3/1	M $\wedge$ A < 8 >
18	IV/2/25	Ie3/2	
19	II/3/11	Ie3/3	C Σ 'C < 8 >
20	III/2/28	Ie3/4	
21	Pe 00 bit 8	Ie3/5	
22	Pe 01 " 8	Ie3/6	
23	Pe 10 " 8	Ie3/12	
24		Ie3/8	S A F < 8 >
25	IV/1/26	If3/1	M $\wedge$ A < 10 >
26	IV/2/9	If3/2	
27	II/3/14	If3/3	C Σ 'C < 10 >
28	III/2/18	If3/4	
29	Pe 00 bit 10	If3/5	
30		I	0 VOLTS
31		I	0 VOLTS
32		If3/8	S A F < 10 >

TARJETA I

CONECTOR 2

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1	IV/1/28	Ie4/1	MΛA <9>
2	IV/2/16	Ie4/2	
3		Ie4/3	CΣ'C <9>
4	III/2/23	Ie4/4	
5	Pe 00 bit 9	Ie4/5	
6	Pe 01 " 9	Ie4/6	
7	Pe 10 " 9	Ie4/12	
8		Ie4/8	SAr <9>
9	IV/1/18	If4/1	MΛA <11>
10	IV/2/4	If4/2	
11		If4/3	CΣ'C <11>
12	III/2/13	If4/4	
13	Pe 00 bit 11	If4/5	
14	Pe 01 " 11	If4/6	
15	Pe 10 " 11	If4/12	
16		If4/8	SAr <11>
17	IV/1/9	Ig4/1	MΛA <14>
18	IV/2/15	Ig4/2	
19	II/3/22	Ig4/3	CΣ'C <14>
20	III/5/15	Ig4/4	
21	Pe 00 bit 14	Ig4/5	
22	Pe 01 "	Ig4/6	
23	Pe 10 "	Ig4/12	
24		Ig4/8	SAr <14>
25	III/1/15	Ih4/1	MΛA <12>
26	IV/2/5	Ih4/2	
27	II/3/17	Ih4/3	CΣ'C <12>
28	III/5/5	Ih4/4	
29	Pe 00 bit 12	Ih4/5	
30	Pe 01 " 12	Ih4/6	
31	Pe 10 " 12	Ih4/12	
32		Ih4/8	Ar <12>

TARJETA I

CONECTOR 3

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1			0 VOLTS
2			0 VOLTS
3	Pe 00 bit 15	Ig3/4	
4	III/5/20	Ig3/3	
5	IV/1/3	Ig3/2	MMA <15>
6	III/2/24	Ig3/1	
7	II/3/18	Ig3/12	CΣ'C <15>
8		Ig3/8	SAR <15>
9	Pe 10 bit 13	Ih3/6	
10	Pe 01 " 13	Ih3/5	
11	Pe 00 " 13	Ih3/4	
12	III/5/10	Ih3/3	
13	IV/1/12	Ih3/2	MMA <13>
14	IV/2/8	Ih3/1	
15	I/3/21.	Ih3/12	CΣ'C <13>
16		Ih3/8	SAR <13>
17		Ii2/1	M <12>
18		Ii2/3	MO <4>
19	IV/6/16	Ii2/4	A <12>
20	III/6/22	Ii2/9	Σ <12>
21		Ij2/1	M <13>
22		Ij2/3	MO <5>
23	II/6/17	Ij2/4	A <13>
24	II/6/23	Ij2/9	Σ <13>
25		Ih2/1	M <14>
26		Ih2/3	MO <6>
27	II/6/26	Ih2/4	A <14>
28	II/6/24	Ih2/9	Σ <14>
29		Ih2/1	M <15>
30		Ih2/3	MO <7>
31	II/6/27	Ih2/4	A <15>
32	II/6/25.	Ih2/9	Σ <15>

TARJETA I

CONECTOR 4

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1	II/4/25	I 21/9	$\Sigma < 7 >$
2		I 21/1	M < 7 > ←
3		I 21/3	0 VOLTS
4	II/4/27	I 21/4	A < 7 >
5	II/4/24	I 21/9	$\Sigma < 6 >$
6		I 21/1	M < 6 > ←
7		I 21/3	0 VOLTS
8	II/4/26	I 21/4	A < 6 >
9	II/4/23	I 21/9	$\Sigma < 5 >$
10		I 21/1	M < 5 > ←
11		I 21/3	0 VOLTS
12	II/4/17	I 21/4	A < 5 >
13	II/4/22	I 21/9	$\Sigma < 4 >$
14		I 21/1	M < 4 > ←
15		I 21/3	0 VOLTS
16	II/4/16	I 21/4	A < 4 >
17	II/2/10	I 21/5	[C Σ A]
18	II/4/5	I 21/2	[C M 0 A]
19	II/2/17	I 21/10	[C M A]
20	II/4/12	I 21/13	[C A A]
21			
22			
23			
24			
25			
26			
27			
28			
29			
30			
31		I	+5 VOLTS
32		I	+5 VOLTS

TARJETA I.

CONECTOR 5

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1		Ih1/8	SAR <6>
2	II/3/10	Ih1/12	M A A <6>
3	II/2/17	Ih1/1	
4	II/3/16	Ih1/2	C E C <6>
5	II/1/11	Ih1/3	
6	Pe 00 bit 6	Ih1/4	
7	Pe 01 " 6	Ih1/5	
8	Pe 10 " 6	Ih1/6	
9		Iq1/8	SAR <4>
10	II/3/22	Iq1/12	M A A <4>
11	II/2/2	Iq1/1	
12	II/3/10	Iq1/2	C E C <4>
13	II/1/1	Iq1/3	
14	Pe 00 bit 4	Iq1/4	
15	Pe 01 " 4	Iq1/5	
16	Pe 10 " 4	Iq1/6	
17		Iq1/8	SAR <2>
18	II/3/32	Iq1/12	M A A <2>
19	II/2/11	Iq1/1	
20	II/3/24	Iq1/2	C E C <2>
21	II/6/22	Iq1/3	
22	Pe 00 bit 2	Iq1/4	
23	Pe 01 " 2	Iq1/5	
24	Pe 10 " 2	Iq1/6	
25		Ie1/8	SAR <3>
26	II/3/21	Ie1/12	M A A <3>
27	II/2/3	Ie1/1	
28	II/3/20	Ie1/2	C E C <3>
29	II/6/32	Ie1/3	
30	Pe 00 bit 3	Ie1/4	
31	Pe 01 " 3	Ie1/5	
32	Pe 10 " 3	Ie1/6	

TARJETA I

CONECTOR 5'

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1		Ih2/8	SAR <7>
2	II/3/9	Ih2/12	MMA <7>
3	II/2/26	Ih2/1	
4	II/3/12	Ih2/2	CSC <7>
5	III/1/16	Ih2/3	
6	Pe 00 bit 7	Ih2/4	
7	Pe 01 " 7	Ih2/5	
8	Pe 10 " 7	Ih2/6	
9		Iq2/8	SAR <5>
10	IV/3/14	Iq2/12	MMA <5>
11	IV/2/10	Iq2/11	
12	II/3/15	Iq2/2	CSC <5>
13	III/1/6	Iq2/3	
14	Pe 00 bit 5	Iq2/4	
15	Pe 01 " 5	Iq2/5	
16	Pe 10 " 5	Iq2/6	
17		Iq2/8	SAR <1>
18	IV/3/29	Iq2/12	MMA <1>
19	IV/2/18	Iq2/1	
20	II/3/23	Iq2/2	CSC <1>
21	III/6/17	Iq2/3	
22	Pe 00 bit 1	Iq2/4	
23	Pe 01 " 1	Iq2/5	
24	Pe 10 " 1	Iq2/6	
25		Ic2/8	SAR <0>
26	IV/3/26	Ic2/11	MMA <0>
27	IV/2/27	Ic2/6	
28	II/3/19	Ic2/5	CSC <0>
29	III/6/27	Ic2/4	
30	Pe 00 bit 0	Ic2/3	
31	Pe 01 " 0	Ic2/2	
32	Pe 10 " 0	Ic2/1	

TARJETA I

CONECTOR 6

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1			+ 5 VOLTS
2			0 VOLTS
3			
4			
5			
6			
7			
8			
9			
10			
11			
12			
13	III/4/16	Id1/10	[C A]
14	II/2/17	Id1/13	[C M A]
15	III/4/5	Id1/2	[C M A]
16	II/2/10	Id1/6	[C E A]
17		Id1/1	M <3> ←
18		Id1/3	0 VOLTS
19	II/4/10	Id1/4	A <3>
20	II/4/3	Id1/9	Σ <3>
21		IC1/1	M <2> ←
22		IC1/3	0 VOLTS
23	II/4/11	IC1/4	A <2>
24	II/4/9	IC1/9	Σ <2>
25		IB1/1	M <1> ←
26		IB1/3	0 VOLTS
27	II/4/2	IB1/4	A <1>
28	II/4/5	IB1/9	Σ <1>
29		Ia1/1	M <0> ←
30		Ia1/3	0 VOLTS
31	II/4/1	Ia1/4	A <0>
32	II/4/4	Ia1/9	Σ <0>

6-9-2) TARJETA II

CONECTOR 2

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1		DC 141 (EMISOR)	LUZ FIN DE PROGRAMA.
2	IV/3/6		SALIDA PARA MAR. DEFINITIVA
3	IV/3/13	II f 1/9	P5
4	IV/2/10	II f 1/7	
5	IV/1/1	II f 1/1	<u>A < 15 ></u>
6	IV/5/12	II f 1/2	<u>0100</u>
7	IV/6/6	II f 1/3	<u>1000</u>
8			
9	III/4/21		INTERRUPCION PENDIENTE
10	III/2/4	II h 2/10	
11	III/3/20	II h 3/1	<u>P0</u>
12	IV/3/11	II h 3/3	<u>P4</u>
13	IV/5/4	II h 3/5	
14	IV/5/29	II h 3/6	
15	I/2/24	II m 6/6	C < 14 > e
16	I/3/8	II m 6/2	C < 15 > e
17	I/2/16	II j 6/6	C < 11 > e
18	I/1/32	II j 6/2	C < 10 > e
19	I/2/32	II m 5/6	C < 12 > e
20	I/3/12	II m 5/2	C < 13 > e
21	I/2/8	II j 5/6	C < 9 > e
22	I/1/24	II j 5/2	C < 8 > e
23	I/5/17	II m 4/6	C < 27 > e
24	I/5/25	II m 4/2	C < 3 > e
25	I/5/1	II j 4/6	C < 7 > e
26	I/5/1	II j 4/2	C < 6 > e
27	I/5/25	II m 3/6	C < 0 > e
28	I/5/17	II m 3/2	C < 17 > e
29	I/5/9	II j 3/6	C < 5 > e
30	I/5/9	II j 3/2	C < 4 > e
31	IV/2/22	II	ReP (byte 0)
32	IV/2/21	II	ReD

TARJETA II

CONECTOR 3

RMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1	III/2/19	IIj6/13	C<10>S
2	III/2/29	IIj6/13	C<8>S
3	III/1/2	IIj3/13	C<4>S
4	III/1/12	IIj4/13	C<6>S
5	III/2/14	IIj6/9	C<11>S
6	III/2/24	IIj5/9	C<9>S
7	III/1/17	IIj4/9	C<7>S
8	III/1/7	IIj3/9	C<5>S
9	I/2/11	IIk6/14	COMPUERTA SAL. 2C bit 11
10	I/5/12	IIk4/3	" " 4
11	I/1/19	IIk6/3	" " 8
12	I/5/4	IIk4/14	" " 7
13	I/2/3	IIk6/5	" " 9
14	I/1/27	IIk6/8	" " 10
15	I/5/12	IIk4/5	" " 6
16	I/5/4	IIk4/8	" " 6
17	I/2/27	IIl6/3	" " 12
18	I/3/7	IIl6/14	" " 15
19	I/5/28	IIl4/3	" " 0
20	I/5/28	IIl4/14	" " 3
21	I/3/15	IIl6/5	" " 13
22	I/2/19	IIl6/8	" " 14
23	I/5/20	IIl4/5	" " 1
24	I/5/20	IIl4/8	" " 2
25	III/5/19	II m6/13	C<15>S
26	III/5/9	II m5/13	C<13>S
27	III/6/31	II m4/13	C<3>S
28	III/6/16	II m3/13	C<1>S
29	III/6/26	II m3/9	C<0>S
30	III/6/21	II m4/9	C<2>S
31	III/5/4	II m5/9	C<12>S
32	III/5/14	II m6/9	C<14>S

TARJETA II

CONECTOR 4

MINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1	I/2/16	Im 1/6	D < 11 > C
2	I/3/8	Im 2/6	D < 15 > C
3	III/5/16	Im 2/9	D < 15 > S
4	II/2/15	Im 1/9	D < 11 > S
5	III/2/22	Im 1/13	D < 10 > S
6	II/5/11	Im 2/13	D < 14 > S
7	I/2/24	Im 2/2	D < 14 > C
8	I/1/32	Im 1/2	D < 10 > C
9	I/2/8	Il 1/6	D < 9 > C
10	I/3/16	Il 2/6	D < 13 > C
11	III/5/6	Il 2/9	D < 13 > S
12	III/2/27	Il 1/9	D < 9 > S
13	III/2/32	Il 1/13	D < 8 > S
14	II/5/1	Il 2/13	D < 12 > S
15	I/2/32	Il 2/2	D < 12 > C
16	I/1/24	Il 1/2	D < 8 > C
17	I/5/25	Ih 1/6	P < 3 > C
18	I/5/1	Ih 2/6	P < 7 > C
19	II/1/18	Ih 2/9	P < 7 > S
20	II/6/30	Ih 1/9	P < 3 > S
21	II/6/20	Ih 1/13	P < 2 > S
22	II/1/13	Ih 2/13	P < 6 > S
23	I/5/1	Ih 2/2	P < 6 > C
24	I/5/17	Ih 2/2	P < 2 > C
25	I/5/17	Ij 1/6	P < 1 > C
26	I/5/9	Ij 2/6	P < 5 > C
27	II/1/8	Ij 2/9	P < 5 > S
28	II/6/15	Ij 1/9	P < 1 > S
29	II/6/25	Ij 1/13	P < 0 > S
30	II/1/3	Ij 2/13	P < 4 > S
31	I/5/9	Ij 2/2	P < 4 > C
32	I/5/25	Ij 1/2	P < 0 > C

TARJETA II

CONECTOR 5

MINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1	I/5/7		Pe 01 < 77
2	I/5/7		" < 67
3	I/5/15		" < 57
4	I/5/15		" < 47
5	I/5/31		" < 37
6	I/5/23		" < 27
7	I/5/23		" < 17
8	I/5/31		" < 07
9	I/5/30		Pe 00 < 07
10	I/5/22		" < 17
11	I/5/22		" < 27
12	I/5/30		" < 37
13	I/5/14		" < 47
14	I/5/14		" < 57
15	I/5/6		" < 67
16	I/5/6		" < 7
17	I/5/32		Pe 10 < 07
18	I/5/24		" < 17
19	I/5/24		" < 27
20	I/5/32		" < 37
21	I/5/16		" < 47
22	I/5/16		" < 57
23	I/5/8		" < 67
24	I/5/8		" < 77
25			
26	II/3/10		P ₄ de si ind.
27	PULSADOR REESTABL.		PUESTA REC LACION. 1K.
28			
29			
30			
31			
32			

6-9-3) TARJETA III

CONECTOR 1

RMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1	I 5 13	III a ₆ /12	SAL. COMP. (7453) <4>
2	II 3 3	III a ₆ /14	C <4>
3	II 4 30	III a ₆ /8	DOP <4>
4	CONSOLA	III a₆/13 III a 6-7	L) <4>
5		III a ₆ /7	LIBRE
6	I 5 13	III b ₂ /12	SC (7453) <5>
7	II 3 8	III b ₂ /14	C <5>
8	II 4 27	III b ₂ /8	DOP <5>
9	CONSOLA	III b₂/13 III b ₂ -7	LDa <5>
10		III b ₂ /7	LIBRE
11	I 5 5	III d ₂ /12	SC (7453) <6>
12	II 3 4	III d ₂ /14	C <6>
13	II 4 22	III d ₂ /8	DOP <6>
14	CONSOLA	III d₂/13 III d ₂ -7	LDa <6>
15		III d ₂ /7	LIBRE
16	I 5 5	III e ₆ /12	SC (7453) <7>
17	II 3 7	III e ₆ /14	C <7>
18	II 4 19	III e ₆ /8	DOP <7>
19	CONSOLA	III e₆/13 III e 6-7	LDa <7>
20		III e ₆ /7	LIBRE
21	II 2 9	III c ₂ /14	INTERRUP. PENDIENTE.
22	II 3 30	III c ₂ /13	Po
23	II 2 9	III c ₃ /10	CONTROL ENT. DION. MEMOR.
24			
25		III c ₃ /12	DION. DE MEMORIA <1>
26		III c ₁ /12	" <2>
27		III c ₃ /10	" 3 <3>
28		III c ₃ /10	" 0 <3>
29		III c ₄ /10	" <7>
30		III c ₄ /2	" <6>
31		III c ₄ /10	" <5>
32		III c ₄ /2	" <4>

TARJETA III

CONECTOR 2.

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1		III c3/2	DCION DE MEMORIA <16>
2		III c3/10	" <14>
3		III f3/2	" <13>
4		III f3/10	" <12>
5		III f4/2	" <11>
6		III f4/10	" <10>
7		III i4/2	" <9>
8		III i4/10	" <8>
9		III	0 VOLTS
10		III	+5 VOLTS.
11	I/1/10	III h4/5	P <11>
12	II/1/9	III h4/4	P <10>
13	I/2/12	III f6/8	SC (7453) <11>
14	II/3/5	III f6/10	C <11>
15	II/4/4	III f6/4	DOP <11>
16	CONSOLA	III f6/2	LDA <11>
17		III f6/1	LIBRE
18	I/1/28	III q4/8	SC (7453) <10>
19	II/3/1	III q4/10	C <10>
20		III q4/1	LIBRE
21	CONSOLA	III q4/2	LDA <10>
22	II/4/5	III q4/4	DOP <10>
23	I/2/4	III h6/8	SC (7453) <9>
24	II/3/6	III h6/10	C <9>
25		III h6/1	LIBRE
26	CONSOLA.	III h6/2	LDA <9>
27	II/4/12	III h6/4	DOP <9>
28	I/1/20	III i6/8	SC (7453) <8>
29	II/3/2	III i6/10	C <8>
30		III i6/1	LIBRE
31	CONSOLA	III i6/2	LDA <8>
32	II/4/13	III i6/4	DOP <8>

TARJETA III

CONECTOR 3

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1	V/5/20	III j6/1	DI
2	V/5/28	III j6/2	DD
3	V/3/17	III j5/6	P5
4	V/3/15	III j6/7	C<0>
5	V/3/16	III j6/6	P1
6	V/5/23	III j6/12	(M+1)
7	V/2/3	III j5/14	
8	V/2/7	III b5/7	
9	V/5/5	III b6/7	
10	V/2/16	III b4/7	
11	V/2/30	III b6/14	
12	V/5/7	III b5/14	
13	V/5/8	III b4/14	
14	V/5/9	III l3/14	
15	V/5/16	III m4/14	
16		III m6/7	
17	V/5/24	III l4/14	
18	V/5/30	III l4/7	
19	V/5/37	III l3/7	
20	V/2/11	III c2/2	$\overline{P_0} \square I_p(5)$
21	V/1/28	III m 1/3	
22			
23			
24			
25			
26			
27			
28		III 1/3	$\overline{C \leq D} \square A$ LIAPAR FF.
29		III m1/5	
30			
31			
32			

TARJETA III

CONECTOR 4

MINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION ^[Cuda A]
1	III/5/21	III w 2/10	PULSO LECT. MEMORIA [CA]
2		III w 3/7	ENTRADA RE
3		III w 2/8 III w 2/8	PULSO LECT. MEMORIA
4	CONSOLA (REEST.)	III w 1/8	PRESET FF.
5	I/4/19	III j 6/8	[CMA]
6	II/3/27	III w 6/10	[IA]
7	IV/3/7	III w 6/2	[DI]
8	III/1/27	III l 3/10	[RI] U [DI]
9	IV/1/23	III l 4/10	[RD]
10	II/3/3	III l 4/2	[RD] U [DD]
11	IV/3/34	III l 3/2	[RM]
12	IV/1/22	III k 4/10	[KA]
13	IV/4/6	III k 5/10	[M+1]
14		III k 6/10	PULSO ESC. EN MEMORIA
15	IV/3/23	III k 5/2	[SM]
16	I/4/20	III k 5/2	[CAA]
17	IV/1/24	III k 4/2	[DD]
18	III/2/1	III j 5/10	[Re E]
19	IV/3/3	III j 6/14	[RI]
20	IV/3/4	III j 5/2	[A-1]
21			
22			
23			
24			
25			
26			
27			
28			
29			
30			
31			
32			

TARJETA III

CONECTOR 5

SEÑAL.	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1	II/4/14	II/4/14 III a 4/12	DDPo <12> →
2	CONSOLA	II/4/14 III a 4/6	LDe <12>
3		III i 1/1	LIBRE
4	II/3/31	III i 1/10	C <12>
5	I/2/28	III i 1/8	SC (7453) <12>
6	II/4/11	III h 1/4	DDPo <13>
7	CONSOLA	III h 1/2	LDe <13>
8		III h 1/1	LIBRE
9	II/3/26	III h 1/10	C <13>
10	I/3/12	III h 1/8	SC (7453) <13>
11	II/4/6	III g 1/4	DDPo <14> →
12	CONSOLA	III g 1/2	LDe <14>
13		III g 1/1	LIBRE
14	II/3/32	III g 1/10	C <14>
15	I/2/20	III g 1/8	SC (7453) <14>
16	II/4/3	III f 1/4	DDPo <15> →
17	CONSOLA	III f 1/2	LDe <15>
18		III f 1/1	LIBRE
19	II/3/25	III f 1/10	C <15>
20	I/3/4	III f 1/8	SC (7453) <15>
21	II/4/1	III g 1/3	[CLDe]
22	I/2/12	III g 1/5	[CDPoA] →
23	I/2/2	III g 1/13	[CCA]
24		II/3/19 III i 4-12	LIBRE
25	CONSOLA	II/3/19 III i 4-7	LDe <8>
26	"	III i 4/12	" <9>
27	"	III f 4/8	" <10>
28	"	III f 4/12	" <11>
29	"	II/3/19 III i 3-12	" <12>
30	"	II/3/19 III i 3-7	" <13>
31	"	II/3/19 III i 3-12	" <14>
32-	"	II/3/19 III i 3-7	" <15>

TARJETA III

CONECTOR 6

ANAL	CONEXION EXTERNA	CONEXION INTERIOR	FUNCION.
1	CONSOLA	III C4/6 12	LDA <77
2	"	III C4/13 6	" <67
3	"	III C4/13 13	" <57
4	"	III C4/13 6	" <47
5	"	III C3/19 12	" <37
6	"	III C3/14 9	" <27
7	"	III C3/14 III C 1-8	" <17
8	"	III C3/13 III C 3-7	" <07
9			0 VOLTS
10		III C1/3	ENT. DCION <2> PE.
11			0 VOLTS
12		III C3/6	ENT. DCION <1> PE
13		III C1/1	LIBRE <1>
14	CONSOLA	III C1/3	LDA <1>
15	II/4/28	III C1/5	DOP <1> →
16	II/3/28	III C1/10	C <1>
17	I/5/21	III C1/8	SC <1> (7453)
18		III C1/1	LIBRE <2>
19	CONSOLA	III C1/3	LDA <2>
20	II/4/21	III C1/5	DOP <2> →
21	II/3/30	III C1/10	C <2>
22	I/5/21	III C1/8	SC <2> (7453)
23		III C1/1	LIBRE <0>
24	CONSOLA	III C1/3	LDA <0>
25	II/4/28	III C1/5	DOP <0> →
26	II/3/28	III C1/10	C <0>
27	I/5/28	III C1/8	SC (7433) <0>
28		III C1/1	LIBRE <3>
29	CONSOLA	III C1/3	LDA <3>
30	II/4/20	III C1/5	DOP <3> →
31	II/3/27	III C1/10	C <3>
32	I/5/28	III C1/8	SC (7453) <3>

6-9-4) TARJETA V

CONECTOR 1

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION.
1	I/1/24	IIQ7/2	P<18>E
2	I/2/8	IIQ7/6	P<9>E
3	LUZ CONSOLA	IIQ7/13	P<8>S
4	" "	IIQ7/9	P<9>S
5	II/3/7	IIQ7/10	P<9>S
6	II/3/22	IIQ7/1	RE P1
7	II/1/32	IIb7/2	P<10>E
8	II/2/16	IIb7/4	P<11>E
9	II/2/12	IIb7/13	P<10>S
10	II/2/11	IIb7/9	P<11>S
11		.	
12		.	
13	II/2/21	IIb7/3	P3
14	II/2/32	IId7/2	P<12>E
15	II/3/16	IId7/6	P<13>E
16	LUZ CONSOLA	IId7/13	P<12>S
17	" "	IId7/9	P<13>S
18			
19			
20			
21			
22			
23			
24	PULSADOR REESTABL.		Limpiar CODIGO DE OPERACION
25			
26			
27	I/2/24	IIc6/2	P<14>E
28	I/3/8	IIc6/6	P<15>E
29	LUZ CONSOLA	IIc6/13	P<14>S
30	" "	IIc6/9	P<15>S
31			+5 VOLTS
32			+5 VOLTS

TARJETA IV

CONECTOR 2.

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1			
2	II/5/23	II 97/10	[CCA]
3	III/3/7	II 96/5	
4			
5			
6			
7	III/3/8	II 96/3	<u>M+1</u>
8	III/3/7	II 97/2	[A+1]
9		II h7/8	[CPD]
10	II/1/21	II h5/10 2	[CEZ]
11	II/3/9	II h4/11	
12	III/5/22	II 96/10	[C(DOP)A]
13	II/3/18	II 94/8	
14	II/3/19	II h7/13	
15	II/3/12	II h5/10	[SAVRA]
16	III/3/10	II h4/5	
17	II/4/19	II 96/10	[CMA]
18	II/2/31	II 97/14	Re P byte 0
19			
20		II 98/8	PULSO LECT. MEMORIA
21	II/2/32	II 97/2	$\overline{P_3}$
22	II/1/6	II 97/1	$\overline{P_1}$
23		II 98/11	PULSO LECT. MEMORIA
24		II 98/6	" " "
25	II/2/9	II 96/10	
26		II 98/3	PULSO LECT. MEMORIA
27			
28	III/3/20	II 96/9	$\overline{P_0}$ AIP.
29		II 96/2	<u>[SM]</u>
30	III/3/11		
31			
32			

TARJETA V

CONECTOR 2.

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1			
2	III/5/23	II 97/10	[CCA]
3	III/3/7	II 96/5	
4			
5			
6			
7	III/3/8	II 96/3	
8	III/3/17	II 97/2	[A+]
9		II h7/8	[CPD]
10	IV/1/21	II h5/10	[CEI]
11	III/3/9	II h4/11	
12	III/5/22	II 96/10	[C(DOP)A]
13	II/3/18	II 94/8	
14	II/3/19	II h7/13	
15	IV/3/12	II h5/2	[SAVRA]
16	III/3/10	II h4/5	
17	II/4/19	II i6/10	[CMA]
18	II/2/31	II i7/14	Re P byte 0
19			
20		II i8/8	PULSO LECT. MEMORIA
21	II/2/32	II i7/2	$\overline{P_3}$
22	II/1/6	II i7/1	$\overline{P_1}$
23		II i8/11	PULSO LECT. MEMORIA
24		II i8/6	" " "
25	II/2/9	II j6/10	
26		II i8/3	PULSO LECT MEMORIA
27			
28	III/3/20	II j6/9	$\overline{P_0} \wedge I_p$
29		II j6/2	
30	III/3/11		
31			
32			

TARJETA V

CONECTOR 3

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1		II 23/13	PM PROVISORIA
2	PULSADOR REESTABL.	II 27/13	REESTABL. PM.
3	III/3/32	II 28/12	SEÑAL DESBORDE
4	II 6/8	II 27/7	[PM]
5		II 28/10	ANULA RELOJ
6		II 28/10	PM DEFINITIVA
7	II/1/4	II 28/12	PLA7
8	III/1/22	II 25/6	P0
9	II/1/12	II 25/3	P4
10		II 28/13	P4 SI INDIRECTO
11		II 25/3	P4
12		II 28/5	P8 d SI INDIRECTO
13	II/2/3	II 27/6	P8
14		II 27/6	C<0>
15	III/3/4	II 27/13	C<0>
16	III/3/5	II 26/6	P1
17	III/3/3	II 26/10	P5
18	II 2/13	II m 8/3	
19	II 2/14	II m 8/4	
20			
21	II 1/6	II m 6/8	P1
22		II m 5/8	P5
23			
24			
25			
26		II m 7/10	P3
27		II 25/8	P2
28			
29		II m 6/4	E5
30		II 26/4	P0
31		II 26/10	P5
32		II m 3/6	E0

TARJETA IV

CONECTOR 4

TERMINAL	CONEXION EXTERIOR	CONEXION INTERIOR	FUNCION
1			+5 VOLTS
2			0 VOLTS
3	V/1/4	II/1/10	P<9>
4			
5			
6			
7			
8	II/6/23	II/m1/8	μ 2111
9		II/m1/10	M<18>
10		II 1-9	μ 1010 + μ 1011
11	II/6/16	II m1/9	<u>1000</u>
12			
13			
14			
15			
16			
17			
18			
19			
20			
21			
22			
23			
24	XII/12	V K 6-9	
25	XII/18	V K 3-6	
26			
27	CONSOLA	OC 141 (EMISOR)	LUZ DESBORDE
28			
29			
30	V/5/11	II/2/12	<u>EB (h)</u>
31			
32	III/4/2	II/5/13	RELOJ.

TARJETA V

CONECTOR 5

TERMINAL	CONEXION EXTERNA	CONEXION INTERNA	FUNCION
1		IIj2/3	P5 U P8 (FIN INSTRUCCION)
2	IV/5/4 30.	IIj3/2	RE A
3			
4	II/2/11	IIj5/14	
5	II/3/9	IIj4/10	ESCRIBIR.
6	NC	IIj2/14	P5 U P8 (FIN INSTRUCCION)
7	III/3/12	IIj3/10	
8	III/3/13	IIc1/2	
9	III/3/14	IIc2/2	
10	III/5/22	IIc5/2	<u>E<0></u>
11	II/4/30	IIj1/14	E5(b)
12		IIc4/2	0100
13			
14	II/3/19	IIc2/10	[LA]
15	III/3/15	IIc1/10	
16			
17			
18			
19	III 4/3	IIj 4/7	PULSADOR.
20	III/3/7	IIh1/9	
21			0 VOLTS
22			0 VOLTS
23	III/3/6	IIh1/14	
24	III/3/17	IIg1/2	
25			
26			
27			
28	III/3/2	IIg2/9.	
29	II/5/12	IIg5/8	
30	III/4/18	IIg2/14	
31	III/4/19	IIg1/10	
32			

TARJETA V

CONECTOR 6

TERMINAL	CONEXION EXTERNA	CONEXION INTERIOR	FUNCION
1	IV/6/32	IVb2/9	ECO>
2			
3			
4			
5			
6			
7		1/8 2-11	μ 0101 (20)
8			
9			
10		IVe, -6	μ 0100 (DI)
11		IVe, -8	μ 0111 (RD)
12		IVe, -12	μ 0110 (RI)
13			
14			
15			
16	IV/4/11	IVq4/8	1000
17	IV/9	IVa, -8	μ 1011
18	IV/7	IVa, -9	μ 1011
19	IV/11	IVa, -5	μ 1010
20			0 VOLTS
21			0 VOLTS
22	IV/6	IVa, -6	μ 1010
23	IV/4/2	IVa, 1/12	μ 1111
24	IV/3/17	IVa, 1/5	PS
25	IV/3/4	IVa, 1/3	[PM]
26		IVe6/6	1191
27		IVe6/8	1102
28		IVe6/6	1110
29		IVe, 1/6	PE 0001
30		IVb2/8	PE 0000
31		IVe2/6	PE 0010
32		IVe2/12	PE 0011

N O M E N C L A T U R A

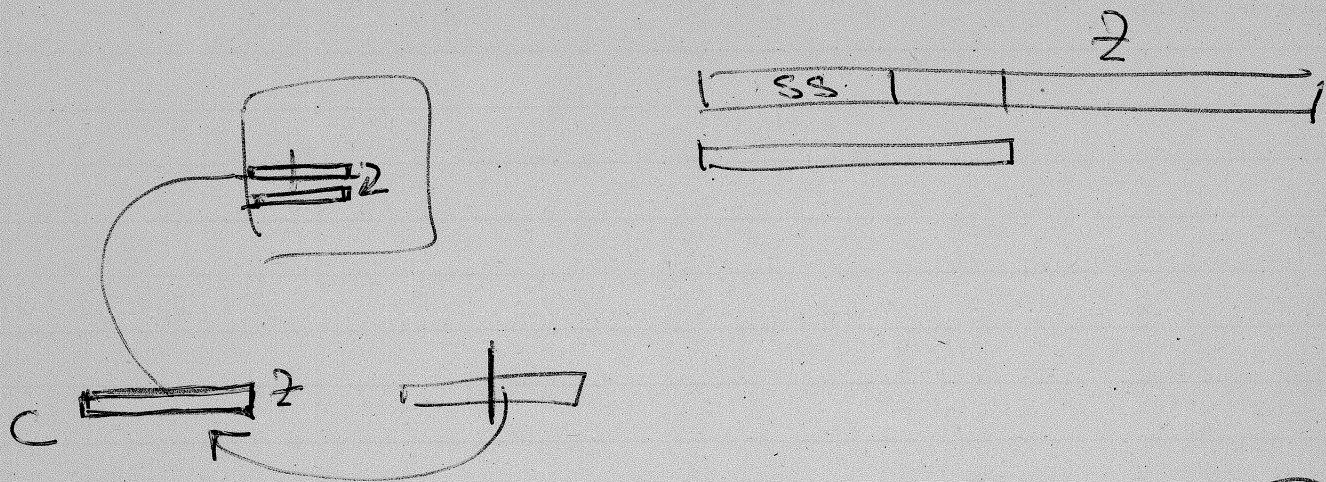
A $\angle$ i Δ	Acumulador bit i
E $\angle$ i Δ	extensión A bit i
D $\angle$ i Δ	extensión dirección bit i
T	bit transporte
C $\angle$ i Δ	Contador de programa bit i
P $\angle$ i Δ	Instrucción presente bit i
D = P $\angle$ i Δ	D concatenado con P byte 0 bit i
LDa $\angle$ i Δ	llaves datos bit i
LDi $\angle$ i Δ	llaves dirección bit i
M/A $\angle$ i Δ	intersección de A con M bit i
SAr $\angle$ i Δ	salida del árbol bit i
Pe 00 $\angle$ i Δ	Periférico 0 bit i
Pe 01 $\angle$ i Δ	Periférico 1
Pe 10 $\angle$ i Δ	Periférico 2
Pe 11 $\angle$ i Δ	Periférico 3
SC	Salida compuerta
[CMA]	control entrada al canal de M
[CAA]	control entrada al canal de A
[CCA]	control entrada al canal de C
[CIA]	control entrada al canal de I
[CMoA]	control entrada M byte 0 al canal
[C(P=D)A]	control de entrada al canal D = P
[CC Σ C]	control de entrada al canal compuerta de Σ C.
[IA]	control intersectar acumulador
[DI]	control desplazamiento izquierda
[DD]	control desplazamiento derecha
[RI]	control rotación izquierda
[RD]	control rotación derecha
[RM]	control restar M
[KA]	control complementar A
[M+1]	control sumar 1 a M
[SM]	control sumar M
[ReE]	Reloj de E
[A-1]	control restarle a
[CPD]	control presentación dirección
[CE Σ]	control entrada a Σ

{SAVRA} sumar y restar acumulador
{LA} limpiar acumulador
NC no conectado
E j i - estado j contador pulsos $0 \leq y \leq 8$

REFERENCIAS

- 1) DIGITAL EQUIPMENT CORPORATION
"Small Computer Handbook 1972"
- 2) HEWLETT PACKARD
"A Pocket Guide to Hewlett Packard Computers"
- 3) GENERAL AUTOMATION
"The value of Power"
- 4) ING. JORGE SANTOS
"Notas de clase de DISEÑO LOGICO I"

$M[2] \leftarrow C$, luego $C \leftarrow Z$, luego $C \leftarrow C + Z$



si

$C \leftarrow Z$

Con lo se presenta deción trampa - Su contenido es SS que presenta C en una elección. lo más suficiente es lo 15 de la substitiva efectm. - lo víctima es un si indirecto que ~~retorna~~ con el su contenido original a C.



$C \leftarrow Z$

